

doi: 10.7690/bgzdh.2015.02.018

一种基于 LVDS 接口的数字图像处理模块硬件设计

赵海波, 梅 员, 郝红宇, 蒋林伸
(西南技术物理研究所, 成都 610000)

摘要: 针对高分辨率彩色数字视频有海量乘除法浮点数实时运算处理的需求, 设计一种基于 LVDS 接口的多 DSP+FPGA 架构硬件体系的数字图像处理模块。结合高速 LVDS 图像传输原理, 从硬件方面给出详细的设计原理、设计方法及工程具体设计, 并根据具体项目的实际工程应用, 接受两路数学图像, 实现图像的预处理及数据调度, 多 DSP 并行处理图像数据。试验结果表明: 该模块工作正常可靠, 能实时正常接收、处理和输出数字图像和送出目标的跟踪位置误差, 适应坦克恶劣使用环境等要求。

关键词: LVDS; DSP; FPGA; 数字视频采集; 数字视频处理
中图分类号: TP302 **文献标志码:** A

Hardware Design of an LVDS Interface Digital-Video Processing Module

Zhao Haibo, Mei Yuan, Hao Hongyu, Jiang Linshen
(Southwest Institute of Technical Physics, Chengdu 610000, China)

Abstract: For the high-resolution color digital-video processing needs of the real-time massive multiplication and division calculating of the floating-point number, design a digital-video processing module that has a multi-DSP+FPGA hardware architecture based on LVDS interface. Combined with high-speed LVDS image transmission, introduce detailed design principle, design method and project concrete design from hardware. Then according to practice project application of concrete project, receive dual-way math image, realize image pretreatment and data debugging, multi-DSP parallel processing image data. The test results show that the module can accurately receiving, process and output the digital-video, and send out the tracking target error under tank bad environment.

Keywords: LVDS; DSP; FPGA; digital video collection; digital video processing

0 引言

我国新型坦克采用的稳像自动跟踪式火控系统是一种成像跟踪系统, 包括可见光及红外 2 个通道。成像跟踪系统工作时不向外辐射无线电波, 不会被敌方的电子侦察装置发现; 也不会受到敌方的电子干扰装置所影响; 由于从视频监控上能直接看到目标图像, 因而能可靠的辨认目标、识别敌我^[1]。

自动跟踪器是坦克火控系统的重要组成部分, 其核心部分就是数字图像处理模块, 它的主要任务是通过处理 CCD 摄像机和红外热像仪探测到的地面图像信号, 进行目标搜索、检测和自动跟踪, 并输出目标相对于视场中心的偏差给火控系统, 从而实现坦克火控系统的高精度闭环跟踪。随着信息技术的高速发展, 坦克火控系统自动跟踪器已由传统的低分辨率模拟视频黑白图像处理进入高分辨率的数字彩色图像处理。笔者为某型外贸坦克火控系统自动跟踪器研制一种数字图像处理模块设计方案。该模块是自动跟踪器的核心处理部件, 为目标搜索、检测和自动跟踪算法运行提供可靠的硬件平台, 其硬件主要包括 LVDS 数字图像接收、图像预处理、DSP 运算单元、图形文字叠加及 LVDS 数字图像输

出等功能单元电路。

1 模块设计原理

图像处理中使用的算法大部分都是非常耗时的二维矩阵运算, 对运算单元的处理速度要求非常高, 一般都采用多机流水处理和并行处理来提高系统的处理能力。

简单的流水处理和并行处理往往不能完全满足图像处理算法要求, 许多情况下需要将它们进行组合才可以得到最优的性价比。4 种基本的算法结构如表 1 所示。笔者对系统结构进行重新调度, 进行多机处理运算, 以适应各种算法结构的需要。

表 1 基本的算法结构

序号	算法结构	算法结构
1	流水结构	
2	并行结构	
3	流水线+并行结构	
4	流水线+并行+反馈结构	

收稿日期: 2014-10-15; 修回日期: 2014-12-05

作者简介: 赵海波(1969—), 男, 四川人, 学士, 研究员高级工程师, 从事图像处理及系统控制设计研究。

由于自动跟踪器对图像进行实时处理，以 20 ms 或 30 ms 的速率时刻进行图像刷新，引入多机处理后，将数据或中间处理结果实时地传到相应的处理单元，不能造成数据的拥堵及运算能力的空闲。同时在每一个运算周期中，应尽量缩短运算单元进行 I/O 操作的时间，所以计算和存储器的结构安排就非常重要。

数字图像处理模块的原理框图如图 1 所示。该模块共设计 3 个 DSP、1 个 FPGA、2 路 LVDS 输入接口及 2 路 LVDS 输出接口，其中 2 路 LVDS 输入接口分别接受可见光及红外数字视频，2 路 LVDS 输出接口分别用于显示和原始视频数据采集。

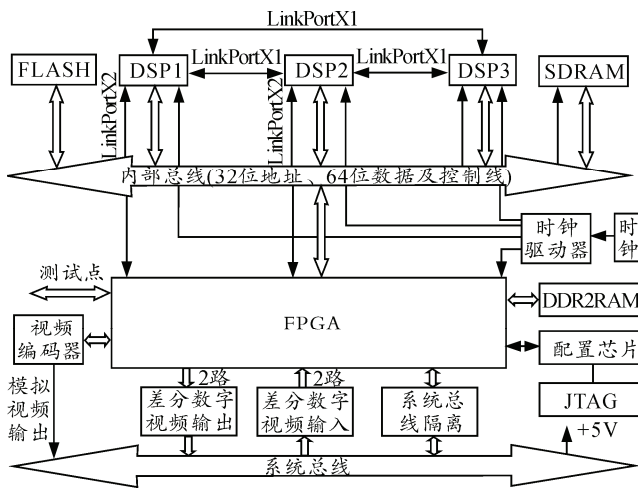


图 1 数字图像处理模块原理

2 硬件设计

2.1 DSP 处理单元

DSP 处理单元是该模块的核心处理部分，由 3 片 ADI 公司 TigerSHARC 系列的静态超标量处理器 ADSP-TS201SYBPZ-050 及其外围电路组成，其单片主要运算能力如下：

- 1) 500 MHz 运行速度，2 ns 指令周期；
- 2) 片上 24 Mbit DRAM；
- 3) 32 位算法，10 亿次 MAC/s 峰值性能；
- 4) 1 024 点复数 FFT，9 419 个时钟周期数，运行时间 18.8 μs；
- 5) 64 K 点复数 FFT，1 397 544 个时钟周期数，运行时间 2.8 ms；
- 6) 4 个链路口，每口速度 1 GBytes/s；
- 7) 支持 14 个 DMA 通道，外部端口 I/O 速度 1 GBytes/s^[2]。

多路 DSP 设计中的关键技术设计：

- 1) 统一时钟源，到每个 DSP 的时钟输入必须经专用时钟驱动芯片的同一驱动器输出提供，并进

行等长及阻抗控制布线。

- 2) 3 片 DSP 的 SCLK_VREF (pin: R2、R3) 及 VREF (pin: J4) 参考电压输入必须连接到同一参考电压上，只能由一套精密电阻分压产生，电阻精度不能大于 1%，否则 DSP 将不能正常工作^[3]。

- 3) DSP 的电源上电顺序为 1.05 V 的 VDD (内部和 VDD_A (模拟 PLL)、2.5 V 的 VDD_IO (外部 I/O)、1.5 V 的 VDD_DRAM (DSP 的内部 DRAM)。其中内部 1.05 V 必须先于 DRAM 的 1.5 V 上电，时间大于 400 ms 以上，否则 DSP 将不能工作，或工作不正常。

- 4) JTAG 口的输入管脚需设计默认状态电阻，以保证 DSP 上电能正常 Boot 用户程序。

2.2 FPGA 单元

FPGA 单元是该模块的图像预处理和信息集散中心，几乎所有的输入输出数据都和它有关，由 Altera 公司 Stratix III E 系列型号由 EP3SE110F1152I3 的 FPGA 及外围电路组成。其主要性能参数如下：

- 1) 42 600 个 ALM，等价 LE 数为 107 500；
- 2) 寄存器数 85 000；
- 3) M9K 存储器模块 639 个，M144K 存储器模块数 16 个；
- 4) MLAB 存储器 672 kbits，嵌入式存储器 8 055 kbits；
- 5) 18 bit×18 bit 乘法器 896 个^[4]。

FPGA 单元要完成功能及内部信号处理如图 2。

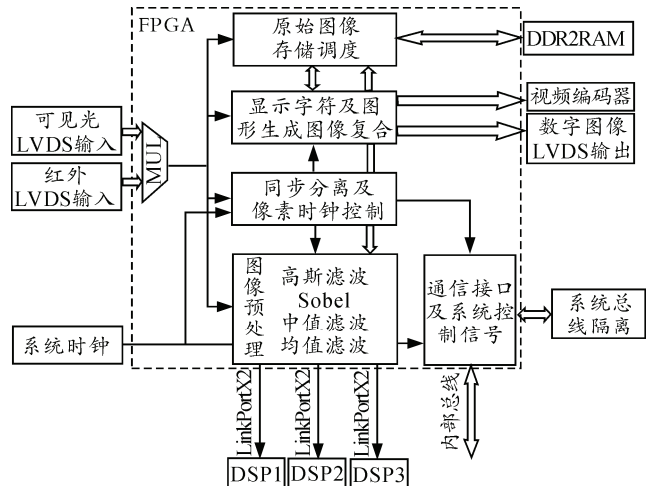


图 2 FPGA 内部处理信号框图

2.3 LVDS 数字图像接收发送单元

MAX9257A (解串器) 和 MAX9258A (串行器) 是 Maxim 公司的一对用于数字视频传输的 LVDS 接口套片，一对 MAX9257A/MAX9258A 就可形成一

个完整的数字视频串行链路。MAX9257A/MAX9258A 功能可编程并行数据宽度，并行的时钟频率范围，扩频，并预加重，采用5级预加重STP屏蔽双绞线的最大传输距离可达20 m，完全满足坦克车上的布线距离要求。集成控制通道上电时的数据传输，双向视频在同一差分对用于视频数据的消隐期间。MAX9258A的串行数据输入时钟恢复，从而消除了外部参考时钟的需要。MAX9257A序列化10、12、14、16和18位与另外2个编码位AC耦合。与MAX9257A/MAX9258A解串器的链接的反序列化最高的20位每像素/并行时钟周期(数据+编码)为最大串行数据速率840 Mbit/s^[5]，MAX9257A解串器的数据接受格式如图3。

Name	301	302	303	304	305	306
...eOutInst MAX9257_HSYN						
...eOutInst MAX9257_VSYN						
...st MAX9257_DIN[0..7]	30h	81h	75h	80h	ECh	
...eOutInst MAX9257_DIN[8]		v	Y	U	Y	
...eOutInst MAX9257_DIN[9]						
...OutInst MAX9257_DIN[10]						

图3 数字图像传输格式

2.4 其他

该模块电路是一个高速电路板，对PCB布线设计要求较高，笔者设计如下：

1) DSP间及DSP和FPGA间的链路口优先布线，同一链路口在同一层内完成布线，布线差分阻抗100 Ω，接收端设计100 Ω的端接匹配电阻，以吸收过冲及震荡，每对差分对上过孔数推荐按最小2对设计，所有信号线布线长度误差控制在250 mils内，PCB的传输延时误差才能小于50 ps，链路口的传输速度才能达到1 GBytes/s^[5]。

2) 采用14层板设计，所有信号层均有地或电源层做参考层，吸收信号传输的干扰，保证信号传输的完整性，整个模块的电磁兼容性也得以保证。

3) 该模块总功耗近20 W，发热的器件需进行热设计，重点关注DSP、FPGA及电源，采用冷板技术设计，以保证模块在高温环境下能正常工作，提高可靠性。

3 应用验证

图4为该数字图像处理模块的实物照片，将数字图像处理模块集成进自动跟踪器整机，进行了环境适应性试验，包括高、低工作及冲击振动试验，该模块均一次性通过检验，在随后的坦克火控系统台架联调试验中，进行了图像传输误码率测试、静

态闭环测试和动态跟踪试验，模块均工作正常，其靶场动态跟踪试验画面如图5所示。

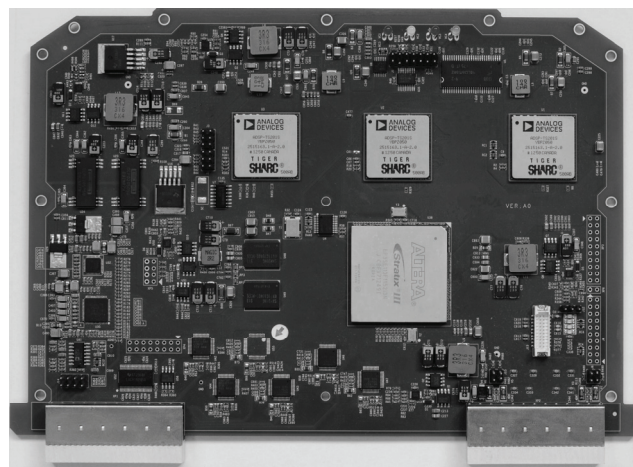


图4 数字图像处理模块



图5 可见光动态跟踪试验跟踪画面

4 结束语

该模块提供的硬件资源满足自动跟踪器软件对数字图像处理算法所有要求，并且为后续软件提升也预留了一定的硬件资源。该模块在单体环境适应性及系统联调试验中，工作正常可靠，试验结果满足总体下达的所有功能及指标技术要求，能够适应坦克恶劣使用环境的要求。

参考文献：

- [1] 钱钧. 自动视频跟踪器的研究[D]. 南京: 南京理工大学, 2004: 2-3.
- [2] 刘书明, 罗勇江. ADSP TS20XS系列DSP原理与应用设计[M]. 北京: 电子工业出版社, 2007: 6-9.
- [3] Analog Devices. ADSP-20xS TigerSHARC® System Design Guidelines (EE-179)[S]. 2005: 2-3.
- [4] Altera Corporation. Stratix III Device Handbook, Volume 1[S]. 2010: 31-32.
- [5] Maxim Integrated Products, Inc. MAX9257/MAX9258 Fully Programmable Serializer/Deserializer with UART/I²C Control Channel[S]. 2009: 1-2.