

doi: 10.7690/bgzdh.2013.07.025

基于 VerilogHDL 的异步串行通信 IP 核设计

李健¹, 吕胜涛²

(1. 中国兵器工业第五八研究所军品部, 四川 绵阳 621000;
2. 中国人民武装警察部队装备研究所, 北京 100012)

摘要: 为提高 CPU 的工作效率, 设计基于 VerilogHDL 的异步串行通信 IP 核。阐述了异步串行通信的原理、Nios II 嵌入式处理器的系统架构和 Avalon 总线特性, 分析了异步串行通信的实现方法, 给出了各功能模块的接口关系, 并设计完成可供 Sopc Builder 直接调用的串行通信 IP 核, 能正确实现异步串行数据收发功能。实践结果证明: 该设计不但实现了异步串口的正常通信, 而且使用方便、通信效率高。

关键词: 串行通信; VerilogHDL; IP 核;
中图分类号: TJ02 **文献标志码:** A

IP Core Design of Asynchronous Serial Communication Based on VerilogHDL

Li Jian¹, LYU Shengtao²

(1. Department of Military Products, No. 58 Research Institute of China Ordnance Industries, Mianyang 621000, China;
2. Equipment Research Institute of Chinese People's Armed Police Forces, Beijing 100012, China)

Abstract: For improving CPU work efficiency, asynchronous serial communication IP core based on VerilogHDL is designed. Introduce asynchronous serial communication principle, Nios II embedded processor system structure and Avalon bus feature, analyze realization method of asynchronous serial communication, put forwards interface relation of each function module. Designed and achieved the IP core of serial communication, it can be used easily by Sopc Builder and can correctly execute the function of receive and transmit of asynchronous serial data. The example proved that the design not only realize the correct communication of serial port, but also can be used convenient and get a better communication.

Key words: serial communication; verilogHDL; IP core

0 引言

通用异步收发器 (universal asynchronous receiver/transmitter, UART) 使用串行数据传输协议。串行通信方式具有线路少、成本低等特点, 广泛应用于军事、工业、自动控制、仪器等领域^[1]。Altera 已有现成的可集成于 NiosII 嵌入式处理器的串口通信 IP 核, 与外设通信时, NiosII 通过检测相应的外设寄存器值来判断是否接收或者发送完一个字节数据, 这样加大了 CPU 的开销。笔者基于串行通信原理, 在 Quartus II8.0 开发环境下用 Verilog HDL 来开发符合 RS-232 标准的串行通信 IP 核, 将此 IP 核集成到 Sopc Builder 中, 并通过 Altera 的开发软件 Nios II 来完成对此串口 IP 核的控制, 从而实现 FPGA 与外接设备的串口通信。该设计可使 CPU 工作在系统频率下读写串口数据, 大大降低了 CPU 的额外开销。

1 UART 通信原理

UART 作为一种串行通信方式, 其数据在传输过程中是按照最低位到最高位的顺序逐位进行传输

的。和并行通信方式相比, 串行通信方式的数据传输效率较低, 常用在对实时性要求不高的场合。

串行通信分为同步串行通信和异步串行通信, 笔者主要介绍异步串行通信方式, 异步串行通信的时序图如图 1 所示。

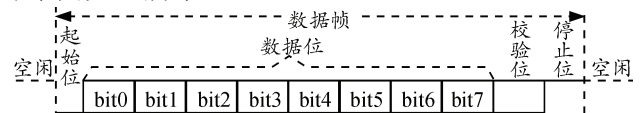


图1 异步串行通信时序

从图 1 可见, 异步串口是按照数据帧传输, 每帧传输一个字节的的数据, 另外还包含起始位、校验位和停止位。在串行总线上, 默认的是高电平, 当一帧数据开始传输时, 必须先拉低电平, 接下来是一个周期的起始位, 在串行数据接收端, 起始位不作为有效数据接收。起始位之后, 是 8 个数据位, 数据位的数据按照低位在前、高位在后的顺序排列。最后是校验位和停止位, 校验位用作对数据位奇偶校验, 停止位是高电平, 标志一帧数据传输的结束。

与串行传输速度相关的是波特率, 波特率表征了串行传输下每秒可通过的数据位。常用的波特率有 9 600 bit/s 和 115 200 bit/s。

收稿日期: 2013-01-15; 修回日期: 2013-02-22

作者简介: 李健(1984—), 男, 四川人, 硕士, 工程师, 从事数字图像处理、数字信号处理的 FPGA 开发研究。

2 Nios II 嵌入式处理器

Nios II 处理器是 Altera 公司的第二代用户可配置的通用 32 位 RISC 软核处理器，是 Altera 公司特有的基于通用 FPGA 架构的软 CPU 内核。Nios II 处理器内核有 3 种类型，用来满足不同设计的要求，分别是快速型、经济型和标准型，快速型 Nios II 内核具有最高的性能，经济型 Nios II 内核具有最低的资源占用，而标准型在性能和面积之间做了一个平衡。Nios II 处理器结构如图 2 所示。在使用时，用户可以通过图形化的用户设计界面快速地完成对软核 CPU 和外设的配置设计^[2]。

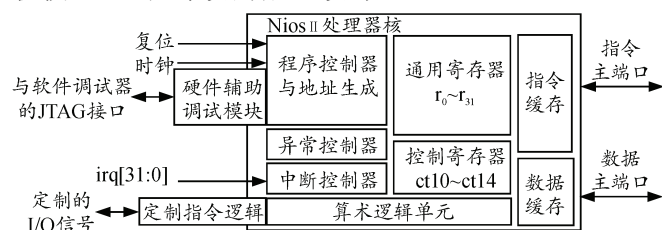


图 2 Nios II 处理器系统典型结构

3 Avalon 总线

Avalon Switch Fabric 是 Altera 公司开发的用于 Nios II 嵌入式处理器的参数化接口总线，由一组预定义的信号组成，是一种相对简单的总线结构，其主要用于连接片内处理器与外设，以构成可编程单芯片系统，它表述了主从构件间的端口连接关系，以及构件间的通信时序关系^[2]。Avalon 接口的主要功能有：分开的地址、数据和控制线；最多 128 位的数据宽度；同步操作；动态总线大小；高性能等。

笔者设计的串口 IP 核做为 Nios II CPU 软核的从设备使用，根据 Avalon 总线信号的定义，Avalon 从设备的部分信号特性如表 1 所示。

表 1 Avalon 从端口信号

信号类型	宽度	方向	是否必须
clk	1	输入	否
chipsselect	1	输入	否
address	1~32	输入	否
read	1	输入	否
readdata	1~128	输出	否
write	1	输入	否
writedata	1~128	输入	否

4 串口外设的 VerilogHDL 实现

4.1 串口波特率设置的实现

串口数据的发送和接受按照相同的波特率进行传输，只有当接收端和发送端的波特率准确匹配时，接收端才能正确地接受数据。本系统所用平台的 FPGA 时钟是 50 MHz，以 9 600 bit/s 的波特率为例计算，需要对 50 MHz 的时钟以 5 208 倍进行分频，在本设计中，设置 9 600, 19 200, 38 400,

57 600, 115 200 bit/s 共 5 档波特率，将其对应的分频参数在寄存器配置模块中进行固化，使用时，Nios II 软核通过控制串口波特率配置寄存器进行波特率的设置，不进行任何配置时，系统默认的波特率为 9 600 bit/s。图 3 为寄存器配置模块的外部接口。

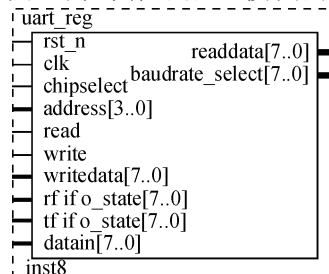


图 3 寄存器配置模块接口

图 3 中，rst_n、clk、chipsselect、write、writedata 信号为 Avalon 总线接口信号，baudrate_select 为波特率选择信号，其他信号在下文中进行说明。

4.2 串口接收的实现

串口接收模块的作用是将来自接收端口 rxd 的串行数据转换成并行数据，并产生接收数据有效信号，用以指示一帧数据接收完成。串口接收的大致流程如下：1) 模块复位后进入检测电平状态，一旦 rxd 信号线由高电平变为低电平，则进入串口数据接收阶段；2) 完成数据的串并转换，将接收到的串行数据转换成并行数据；3) 数据接收完成后，输出接收数据有效信号；4) 将接收到的数据存入 64 字节 FIFO，供 CPU 读取。

如图 4 所示，串口接收模块内部集成有数据接收 FIFO，用于保存多个串行数据，供 CPU 一次性读取。rxd 为串口接收总线，baudrate_select 为波特率选择信号，rden 信号为接收端 FIFO 读使能信号，rfifo_state 为接收端 FIFO 状态信号。

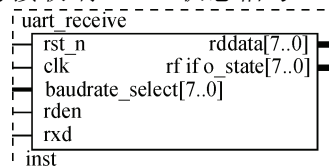


图 4 串口接收模块接口

4.3 串口发送的实现

串口发送模块的作用是将并行的 8 位数据以既定的波特率将数据按帧打包，并通过串行总线发送出去，串口发送的大致流程如下：

1) FPGA 端将要发送的数据通过 Nios II 软核写入到发送端的串口 FIFO 中；2) 发送端检测模块判断 FIFO 中是否为空，非空，则转入 3，否，则进入 2 的检测等待状态；3) 读取 FIFO 中的一个数并发送到数据并串转换模块；4) 并串转换模块按照相应的波特率时序，将接收到的 8 bit 并行数据打包成串

行通信数据帧后发送到串行总线; 5) 一帧数据发送完毕后, 跳转到步骤 2)。

根据步骤 1) 的描述, 图 5 的串口发送模块内部集成有串口发送 FIFO, 用以保存 CPU 一次性写入待发送的数据。txd 为串口发送总线, baudrate_select 为波特率选择信号, wren 信号为发送端 FIFO 写使能信号, tfifo_state 为发送端 FIFO 状态信号。

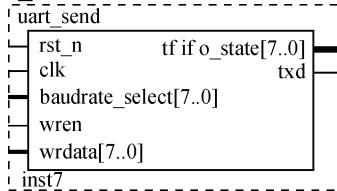


图 5 串口发送模块接口

4.4 串口 IP 的实现

将上述设计的串口发送模块、串口接收模块、串口寄存器配置模块集成到一起, 就构成了一个完整的串口收发的 IP 核, 串口寄存器配置模块的作用是完成对串口波特率参数的配置和各状态的读取, rfifo_state 和 tfifo_state 分别来自串口接收端 FIFO 和发送端 FIFO 的状态, datain 为来自接收端的数据。本 IP 核中共用到 2 个寄存器, 其定义如表 2。

表 2 串口寄存器地址分配

地址	信号	意义
0x00	baudrate	波特率设置寄存器
0x01	Rfifo_state	接收和发送端 FIFO 状态寄存器
0x02~0x0F	无	保留

至此完成了对整个串口 IP 核的设计, 集成后的串口 IP 核如图 6 所示。从图 6 中可以看出, 设计后的 IP 核只保留了 Avalon 总线接口信号和串口总线接口信号。现在用户就可以将此串口 IP 核加入到 Sopc Builder 中用于实现串口通信的收发功能。

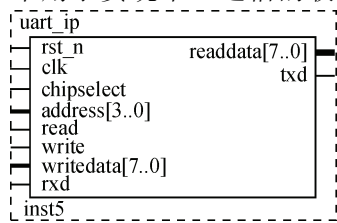


图 6 串口 IP 核接口

4.5 Nios II 下的串口通信实现

将上述设计的串口 IP 核、通信调试和存储器等外设、Nios II CPU 共同集成到 Sopc Builder 中, 就构成了一个基本的微处理器控制下的串口通信系统, 系统包含的外设如图 7。如果系统需多路串口, 只需连续添加多个笔者设计的串口控制 IP 核即可。

最后, 将 FPGA 开发板通过串口线与 PC 机相连, 通过 PC 上的串口调试助手进行数据的发送和接受测试。在 Nios II 开发环境下, 用 C 语言编写串

口控制及通信程序。在测试程序中, 将接收到的来自 PC 机的串口数据直接转发回 PC 机, 通过对比串口调试助手的接收窗口和发送窗口内的数据, 即可实现对本设计中串口 IP 核的测试, 通过示波器观察来自 FPGA 串口发送端的波形如图 8 所示。

Con...	Module Name	Description	Clock
	cpu	Nios II Processor	
	instruction_master	Avalon Memory Mapped Master	clk
	data_master	Avalon Memory Mapped Master	
	jtag_debug_module	Avalon Memory Mapped Slave	
	jtag_uart	JTAG UART	
	avalon_jtag_slave	Avalon Memory Mapped Slave	clk
	sysid	System ID Peripheral	
	control_slave	Avalon Memory Mapped Slave	clk
	epcs	EPCS Serial Flash Controller	
	epcs_control_port	Avalon Memory Mapped Slave	clk
	sdram	SDRAM Controller	
	s1	Avalon Memory Mapped Slave	clk
	uart	uart_ip	
	avalon_slave_0	Avalon Memory Mapped Slave	clk

图 7 Sopc Builder 下的串口通信系统

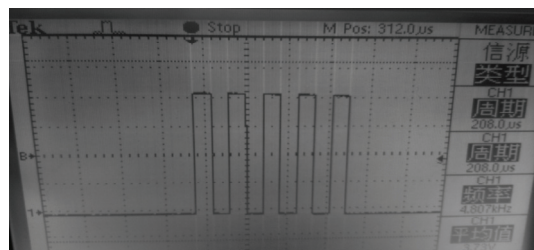


图 8 FPGA 串口发送端波形

从图 8 的波形中可看出, 笔者所设计的串口 IP 核收发数据均正常。

5 结束语

笔者在分析串口通信原理的基础上, 在 Altera 的 FPGA 平台上进行 SoC 设计, 实现了可集成于 Sopc Builder 平台下的串口外设的 IP 核设计, 然后在 Nios II 平台进行了串口收发数据的验证, 在不同波特率下实现了数据的正确发送与接收。该设计的 IP 核寄存器配置少, 大部分功能都是通过硬件描述语言独立完成, 使用方便灵活, 与 Sopc Builder 自带的串口 IP 核的最大区别在于: CPU 不用通过响应中断或检测串口总线状态来接收串口数据, 如果外接的发送端发送的数据量小于 FPGA 端 FIFO 的深度, FPGA 端的 CPU 即能以最大工作频率一次性完成所有数据的接收, 而不会消耗额外的总线时间。发送端也是如此。经检验, 该设计完全满足串口通信的各项要求, 且极大地提高了 CPU 的工作效率。

参考文献:

- [1] 周灿荣, 陈禾. UART 通信的 FPGA 实现设计[J]. 山西电子技术, 2006(3): 1-3.
- [2] 李兰英. Nios II 嵌入式软核 SOPC 设计原理及应用[M]. 北京: 北京航空航天大学出版社, 2006.
- [3] 王子剑, 田小刚, 邬军伟. 基于 FPGA 的异步串行通讯[J]. 广西工学院学报, 2008, 19(4): 1-5.
- [4] 夏宇闻, 甘伟. Verilog HDL 入门[M]. 北京: 北京航空航天大学出版社, 2008.