

doi: 10.7690/bgzd.2013.06.005

半导体集成电路芯片质量与可靠性保证方法

刘锐¹, 姚世锋²

(1. 中国电子科技集团公司第二十四研究所, 重庆 400060; 2. 总装备部重庆军事代表局, 重庆 400060)

摘要: 针对国内目前没有专门用于保证半导体集成电路芯片质量与可靠性要求的相关标准, 相应测试、可靠性研究水平也较为落后的情况, 对半导体集成电路芯片质量与可靠性保证方法进行研究。介绍半导体集成电路芯片质量与可靠性保证方面的国际、国内标准与技术水平现状, 提出在目前技术水平下需从设计、工艺、筛选验证 3 个方面保证半导体集成电路芯片质量与可靠性, 在筛选验证方面提出芯片筛选、封装样品考核相结合的方式。结果表明, 该方法能满足混合集成电路、多芯片组件对半导体集成电路芯片的质量与可靠性要求。

关键词: 半导体集成电路芯片; 质量; 可靠性

中图分类号: TJ04 **文献标志码:** A

Quality and Reliability Assurance Techniques for Semiconductor Dies

Liu Rui¹, Yao Shifeng²

(1. No. 24 Research Institute, China Electronics Technology Group Corporation, Chongqing 400060, China;
2. PLA Military Representation Bureau of General Equipment Headquarters in Chongqing, Chongqing 400060, China)

Abstract: Aiming at the actuality that there have no standards to ensure the quality and reliability for semiconductor dies, the level of testing and reliability research is relatively behindhand, the paper states the methods to ensure the quality and reliability of semiconductor dies. The quality and reliability assurance standards and techniques for semiconductor dies are presented. The method to assure the quality and reliability from three aspects including design, technology, riddling and test are discussed in detail. Riddling is for all semiconductor dies, while, testing is for samples after packed. The results show that this method can meet the requirements for the quality and reliability of semiconductor dies used in HIC and MCM.

Key words: semiconductor die; quality; reliability

0 引言

为了适应武器装备电子系统的国产化、小型化、高性能、高可靠性的需求, 使用裸芯片 (Bare Die) 来减小体积并提高整机集成度的混合集成电路 (hybrid integrated circuits, HIC)、多芯片组件 (multichip module, MCM) 产量日益提高。同时, 由于进口芯片禁运的限制, 业内对我国国产半导体集成电路芯片的质量与可靠性提出了更高的要求。

国外早在 1996 年提出了“Known Good Die (KGD)”的概念, 经过十几年的发展, 已有了较完善的标准和较成熟的技术。而国内, 裸芯片质量与可靠性研究起步较晚。目前除了 GJB2438A-2002《混合集成电路通用规范》中对配套的裸芯片有一些要求外, 没有专门用于保证半导体集成电路芯片质量与可靠性要求的相关标准出台, 相应的测试、可靠性研究水平也较为落后^[1]。在这种情况下, 急需有相应的半导体集成电路芯片质量与可靠性保证方法来弥补这一短板, 以保证高可靠性武器装备的应用。基于此, 笔者对半导体集成电路芯片质量与可靠性保证方法进行研究。

1 标准介绍

1.1 国际标准介绍

美国、日本和欧洲的裸芯片标准的相应出台是裸芯片技术发展的里程碑。目前, 国外已颁布和实施的有关裸芯片标准有: 美国电子工业协会 (EIA) 于 1996 年颁布的 JEDEC 标准 EIA/JESD49KGD 采购标准 (Procurement Standard for Known Good Die (KGD))^[2]。此标准于 2009 年进行了修订, 其现行有效标准为 EIA/JESD49A (Procurement Standard for Semiconductor Die Products Including Known Good Die (KGD))^[3]; 日本电子工业协会 (EIAJ) 于 1999 年颁布了 EIAJEDR-4703 裸芯片质量保证指南 (Quality Assurance Guidelines for Bare Die including KGD)^[4]; 欧洲于 2000 年颁布了针对裸芯片的 ES59008 半导体芯片数据要求 (Data Requirements for Semiconductor Die)^[5]; 国际电工委员会于 2005 年颁布了 IEC62258 半导体芯片产品标准 (Semiconductor Die Products)^[6]。在这些标准中, 均对裸芯片质量和可靠性保证提出了指导性规范。

收稿日期: 2013-01-29; 修回日期: 2013-03-19

基金项目: 国家军用标准课题 (12DX128)

作者简介: 刘锐 (1981—), 女, 河南人, 硕士, 工程师, 从事半导体集成电路 (芯片)、混合集成电路、微电路模块产品标准与质量保证研究。

在 EIAJEDR-4703 中, 将裸芯片质量等级划分为 3 级: 第 1 级为已知良好芯片(KGD); 第 2 级为已知测试芯片(KTD); 第 3 级是探针级芯片(PD)。

KGD: 通过镜检、电特性测试、早期失效、长期可靠性试验, 使得器件在质量和可靠性方面均得到保证。

KTD: 通过镜检和电特性测试, 其要求同 KGD。器件的早期失效和长期可靠性无保证。

PD: 通过镜检, 其要求同 KGD。电特性测试仅为划片前的探针测试。器件的电特性、早期失效和长期可靠性无保证。

1.2 国内标准介绍

目前, 国内除 GJB2438A-2002《混合集成电路通用规范》中对混合集成电路、多芯片组件电路内部使用的裸芯片有一些相对简单的评价要求外, 尚无成熟的用于保证半导体集成电路芯片质量与可靠性要求的相关标准出台。

GJB 2438A-2002《混合集成电路通用规范》中对于半导体分立器件芯片和集成电路芯片评价要求包括芯片 100%要求和组装芯片样品评价 2 部分。其中芯片 100%要求有电测试、目检要求; 组装芯片样品评价是抽取一定数量的芯片组装到一个适当的外壳内, 再根据混合集成电路相应的质量等级要求进行如内部目检、温度循环、电测试、老炼、寿命、键合强度等试验, 以评价所选用芯片是否能保证混合集成电路相应的质量等级要求。也就是说对于裸芯片, 仅要求 100%的电测试和目检要求。而对于验证能否保障长期可靠性的温度循环、老炼、寿命只有通过封装样品加以验证。

2 芯片质量与可靠性保证方法现状

2.1 半导体集成电路芯片质量与可靠性保证难点

裸芯片是指没有经过封装的单个芯片。芯片大小各异, 功能多样, 种类繁多, 版图结构各不相同, 不能采用统一的夹具来进行测试和试验。对特定芯片, 必须有定制的夹具与之相对应。夹具系统必须解决裸芯片的老炼、测试干扰的问题, 对于功率裸芯片还要考虑老化散热的问题; 因此, 实现微损伤测试和老化筛选临时封装夹具系统是解决半导体集成电路芯片质量与可靠性保证的难点。

2.2 国际现状

随着 1996 年“KGD”概念的提出, 国外经过十几年的发展, KGD 技术已较为成熟。KGD 技术与芯片的测试、老化技术密切相关, 目前 KGD 技

术可分为 2 大类, 立芯片(裸芯片)KGD 技术和圆片级芯片 KGD 技术。圆片级 KGD 技术中测试和老化夹具费用高、系统昂贵, 适合大批量生产; 分立芯片的 KGD 技术中夹具使用灵活, 适合批量不大的军用高可靠产品。分立芯片 KGD 技术经过十余年的发展, 现在其技术基本成熟。国外的 KGD 技术提供公司分为 3 类: 第 1 类是以 Yamaichi、AEHR 公司为代表专门提供 KGD 技术; 第 2 类是以 Texas 公司为代表的微电子器件生产厂家以自己的 KGD 技术提供 KGD 产品; 第 3 类是利用其他公司的 KGD 技术提供自己的 KGD 产品, 这类公司很多, 如 Inter、AMD、National、Motorola、MCC、Micron 等。

2.3 国内现状^[7]

目前, 国内已有部分科研机构开展了一些 KGD 技术的研究, 并取得了一些关键性的技术突破。如: KGD 无损临时封装夹具系统, 实现无损电气互连并精确定位, 可耐受 $-5\sim+150\text{ }^{\circ}\text{C}$ 温度范围, 解决了工作温度 $-5\sim+150\text{ }^{\circ}\text{C}$ 的裸芯片静态特性测试、低工作频率的动态测试和老炼试验。但对于高频、多引脚、大功率裸芯片的测试、老炼技术还有待提高。目前, 国内的 KGD 技术尚不成熟, 仍处于研究阶段, 无形成销售的 KGD 芯片产品。

3 芯片质量与可靠性保证方法

鉴于 KGD 技术尚不成熟, 其技术难度和成本均很高, 尚不具备推广的条件。同时, 武器装备电子系统对半导体集成电路芯片的质量与可靠性提出了更高的要求。为解决这一问题, 行业内比较认可的观点是“可靠性是靠设计、制造出来的”。即, 裸芯片的质量与可靠性保证方法要尽可能地在设计和制造阶段进行; 因此, 为了保证半导体集成电路芯片的质量与可靠性, 需从以下 3 点进行。

3.1 设计保障^[8]

针对半导体集成电路芯片在以后工作条件和应用环境下, 以及在规定的时间内可能出现的失效模式, 采取相应的设计技术, 使这些失效模式能够得到控制或消除, 从而使设计方案能同时满足其功能、特性和可靠性要求。具体分为以下 4 类技术:

- 1) 常规可靠性设计技术。包括冗余设计、降额设计、灵敏度分析、中心值优化设计等。
- 2) 针对主要失效模式的器件设计技术。包括针对热载流子效应、闩锁效应等主要失效模式, 合理设计器件结构、几何尺寸参数和物理参数。
- 3) 针对主要失效模式的工艺设计保障。包括采

用新的工艺技术,调整工艺参数,以提高半导体集成电路芯片的可靠性。

4) 半导体集成电路芯片可靠性计算机模拟技术。在电路设计的同时,以电路结构、版图布局布线以及可靠性特征参数为输入,对电路的可靠性进行计算机模拟分析。根据分析结果,可预计电路的可靠性水平,确定可靠性设计中应采用的设计规则,发现电路和版图设计方案中的可靠性薄弱环节。

3.2 工艺保障

通过可靠性设计,为芯片的可靠性水平奠定了基础,最终芯片产品的实际可靠性水平取决于芯片的制造工艺。

为保证工艺可靠性要求的实现,从芯片生产涉及的环节应主要考虑以下几个方面的控制:

1) 原材料控制。包括对掩膜版、化学试剂、光刻胶、特别是对硅材料等原材料的控制。控制不光采用传统的单一检验方式,还可对关键原材料采用统计过程控制(statistical process control, SPC)技术,确保原材料的质量水平高,质量一致性好。

2) 加工设备的控制。除采用先进的设备进行工艺加工外,还应做好对设备日常维护、预防性维修等工作,同时应对设备的关键参数进行监控,必要时建立设备参数的SPC控制模型进行分析控制等。

3) 工艺加工过程的控制。包括对关键工艺参数进行SPC控制、工序能力分析、6 σ 设计等,同时对工艺加工关键环节建立工艺检验手段,如对氧化层的针孔和裂纹的检验、对可动金属离子的检验、对金属层稳定性的检验等。

此外,工艺方面的保障还应包括对操作人员的培训和考核、对环境洁净度的控制和建立先进的生产质量管理信息系统等方面。

3.3 筛选、验证保障

设计、加工的半导体集成电路芯片交付之前,需进行筛选、检验以保证芯片的质量与可靠性。目前,行业内普遍认可的是参照GJB 597A-96《半导体集成电路总规范》相应质量等级要求和用户要求,对半导体集成电路芯片进行100%筛选、鉴定检验和质量一致性检验^[9]。

其中100%筛选对所有裸芯片进行,主要进行晶片批验收、稳定性烘焙、电探针测试、功能拉偏测试、内部目检。通过100%筛选尽可能地剔除早期失效芯片。

鉴定检验和质量一致性检验是对封装样品进

行,从筛选合格芯片中随机选取芯片封装后参照GJB 597A-96《半导体集成电路总规范》相应质量等级要求和用户要求进行鉴定检验和质量一致性检验,其中不进行与封装有关的试验。通过这种方式,验证整批裸芯片的质量与可靠性水平能否满足用户要求和长期可靠性要求。而按不同要求检验的芯片分别达到相应质量等级要求。

通过这种方式,不但能够指导半导体集成电路芯片研制单位设计、制造相应质量等级要求的芯片,同时也便于使用单位选用,满足其不同应用环境的使用需求。

4 结束语

国产化、小型化、高性能、高可靠性是武器装备电子系统的发展趋势,这也给半导体集成电路裸芯片的质量与可靠性保证技术的发展带来了挑战和机遇。实现裸芯片的全参数测试和老炼、寿命试验是摆在半导体集成电路芯片行业的难题。目前,国内KGD技术尚不成熟,半导体集成电路芯片质量与可靠性保证的标准尚未出台。笔者在此背景下,提出了半导体集成电路芯片质量与可靠性保证需从设计、工艺、筛选验证方面进行,在筛选验证方面提出了芯片筛选、封装样品考核相结合的方式。通过上述保证最大限度地满足混合集成电路、多芯片组件对半导体集成电路芯片的质量与可靠性要求。

参考文献:

- [1] GJB2438A-2002. 混合集成电路通用规范[S]. 北京:总装备部军标出版发行部,2002:21-23.
- [2] EIA/JESD49-1996. Procurement standard for known good die(KGD)[S]. 美国弗吉尼亚:美国电子工业协会,1996:4-8.
- [3] EIA/JESD49A-2009. Procurement Standard for Semi-conductor Die Products Including Known Good Die(KGD)[S]. 美国弗吉尼亚:美国电子工业协会,2009:4-8.
- [4] EIAJEDR-4073-1999. Quality assurance guidelines for bare die including KGD[S]. 日本东京:日本电子工业协会,1999:4-9.
- [5] ES59008-2000. Data requirements for semiconductor die[S]. 法国斯特拉斯堡:电子标准欧洲委员会,2000:5-10.
- [6] IEC62258-2005. Semiconductor die products[S]. 瑞士日内瓦:国际电工委员会,2005:7-8.
- [7] 黄云,恩云飞. KGD质量与可靠性保证技术[J]. 半导体技术,2005,30(5):40-43.
- [8] 史保华,贾新章,张德胜. 微电子器件可靠性[M]. 西安:西安电子科技大学出版社,1999:88-147.
- [9] GJB597A-96. 半导体集成电路总规范[S]. 北京:总装备部军标出版发行部,1996:18-29.