

doi: 10.7690/bgzdh.2013.02.023

一种基于 CPLD 的交流电源信号发生器

王岩, 胡朝春, 黄革

(中国电子科技集团公司第四十三研究所, 合肥 230088)

摘要: 为了提高交流电源的精度并降低复杂性, 提出一种基于复杂可编程逻辑电路 (complex programmable logic device, CPLD) 的陀螺信号发生电路的设计方法。阐述了交流电源信号发生器的工作原理及其在系统中的功能, 介绍了常规的信号发生装置的设计方法及其优缺点。基于某惯性平台交流电源系统, 采用可编程逻辑器件设计了交流电源信号发生器, 从 CPLD 的设计流程及交流电源信号发生器 2 个方面阐述了电路的实现, 并给出了仿真及实验波形结果。分析结果证明: 在高低温情况下, 该方法的电特性完全满足指标要求, 具有信号输出精度高、抗干扰能力强、体积小、设计修改方便、成本较低等优势。

关键词: 可编程逻辑器件; 交流电源; 信号发生器

中图分类号: TJ03 **文献标志码:** A

AC Power Supply Signal Generator Based on CPLD

Wang Yan, Hu Chaochun, Huang Ge

(No. 43 Research Institute of China Electronics Technology Group Corporation, Hefei 230088, China)

Abstract: This paper presents the design of a signal generator (SG) based on the circuit of complex programmable logic device (CPLD), for the purpose of making the AC power supply more accurate and less complex. It illustrates the working principle of this single generator and its role in power system, and the design method, advantages and disadvantages of common single generator. Based on certain inertia platform AC power supply system, use CPLD to design AC power supply signal generator. It illustrates circuit realization based on CPLD design procedure and AC power supply signal generator. Put forwards the simulation and test wave result. Under high or lower temperature conditions, it is verified that this signal generator meets all the specifications required and has the advantages of high output signal accuracy, good interference resistance, small outline, flexible design and modifying, and low cost, etc.

Key words: CPLD; AC power supply; signal generator

0 引言

交流电源是把输入电源变换成在电压、电流、频率、波形以及在稳定性、可靠性等方面符合要求的电能供给负载的电源变换器^[1]。输入电源多为单相或三相交流, 输出量仍是交流电, 含稳压、稳流、稳频、不间断供电等类型。在惯性测量系统中, 交流电源广泛用于陀螺仪表转子电源、传感器激励、频标、电磁悬浮激励等, 是保障系统性能的基础电路^[2]。交流电源信号发生器产生交流电源基准信号。笔者针对某惯性平台交流电源系统提出一种新型的信号发生器设计方法。

1 交流电源信号发生器指标要求

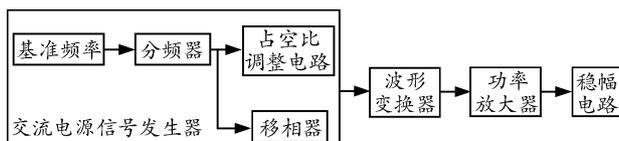


图 1 交流电源结构框图

交流电源一般由信号发生器、波形变换器、功率放大器、稳幅回路组成, 电路结构方框图如图 1。

交流电源信号发生器是交流电源的核心部分, 产生交流电源工作所需信号波形。针对某惯性平台交流电源系统, 需要产生以下信号:

信号 1: 频率 256 kHz, 占空比 50%, 5 V TTL 信号;

信号 2: 频率 16 kHz, 占空比 50%, 5 V TTL 信号;

信号 3: 频率 8 kHz, 占空比 50%, 5 V TTL 信号;

信号 4: 频率 4 kHz, 占空比 50%, 5 V TTL 信号;

信号 5: 频率 2 kHz, 占空比 50%, 5 V TTL 信号;

信号 6~信号 8: 频率 1 kHz, 占空比 50%, 5 V TTL 信号, 相位差 120°;

频率稳定度: 1/10⁶;

收稿日期: 2012-08-16; 修回日期: 2012-09-24

作者简介: 王岩(1982—), 男, 安徽人, 硕士, 工程师, 从事自动控制理论及特种元器件研究。

频率精度: $1/10^3$ 。

2 交流电源信号发生器电路设计

2.1 常规信号发生电路设计方法

常规的信号发生电路有振荡器加整形方式^[3]、单片微处理器软件编程^[4-5]、晶振加锁相式频率合成技术(PLL)^[6]等方法。

1) 振荡方式(例如文式振荡桥电路)是最为常见的一种信号产生方式,对于 LC 和 RC 信号产生器,适当地设计频率,选择电路中的电感、电容或电阻的数值,信号产生器就可方便地产生所要求工作频率的信号,但该方式电路的频率稳定性不高,通常仅为 10^{-3} 量级;

2) 单片微处理器软件编程方式可以大大简化电路结构,减少系统功耗、制作成本和调试时间,灵活性高,但该方式输出信号的频率较低,输出信号频率的调整精度也较低;

3) 晶振作激励应用锁相式频率合成技术,使信号输出达到了晶振的频率稳定度,具有较宽的频率可调范围,但电路复杂,实现难度较大。

常规的交流信号发生电路要么电路简易,但精度难以达到要求;要么精度较高,电路较复杂,难以在电路结构和性能指标方面达到最优。基于复杂可编程逻辑电路(complex programmable logic device, CPLD)的陀螺信号发生电路较好地解决了上述问题,有源晶振作为激励,采用软件编程实现了硬件功能,具有电路简单、精度及温漂取决于晶振质量、可靠性较高、易移植等优势。

2.2 基于 CPLD 的交流电源信号发生器的实现

2.2.1 CPLD 简介及其设计流程

随着微电子制造工艺的发展,可编程逻辑器件取得了长足的进步。从早期只能存储少量数据,完成简单逻辑功能的可编程只读存储器(PROM)、紫外线可擦除只读存储器(EPROM)和电可擦除只读存储器(E²PROM),发展到能完成中大规模数字逻辑功能的可编程阵列逻辑(PAL)和通用阵列逻辑(GAL),今天已经发展成为可以完成超大规模的复杂组合逻辑与时序逻辑的复杂可编程逻辑器件(CPLD)和现场可编程逻辑器件(FPGA)。随着工艺技术的发展,新一代的 FPGA 将集成中央处理器(CPU)或数字处理器(DSP)内核,为实现片上可编程系统(SOPC)提供强大硬件支持^[7]。

笔者采用 Altera 公司 MAX7000 系列 EPM7128STI100,它有 128 个逻辑单片(LE)、5VTTL I/O 电平标准、84 个 I/O、TQFP-100 封装,采用 Quartus II 软件进行设计输入、综合、布局布线、仿真、编程和配置,采用 707 厂 J-ZPB-26-16.384M-5 型 16.384 MHz 军品级晶振作为时序基准,芯片背板大面积“覆地”,芯片电源脚和地之间并联 0.1 μ F/0603 高频去耦电容,硬件框图如图 2 所示。

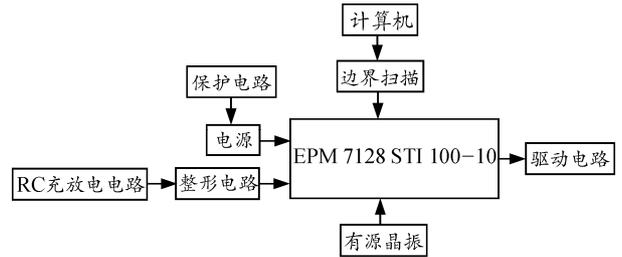


图 2 硬件结构框图

2.2.2 应用 CPLD 设计交流电源信号发生器

基于 CPLD 设计交流电源信号发生器,采用有源晶振 16.384 MHz 作为频率参考,设计分频器进行 32 分频,分频信号通过计数器再 2 分频同时占空比调整为 50%,即可得到 256 kHz 信号 1 输出;信号 1 通过计数器再 16 分频,即可得到 16 kHz 信号 2 输出;信号 2 通过计数器再 2 分频,即可得到 8 kHz 信号 3 输出;同样的道理可以得到 4 kHz 信号 4 输出、2 kHz 信号 5 输出。电路实现框图如图 3 所示。

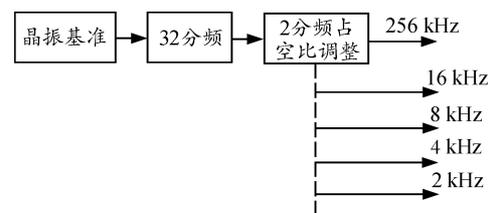


图 3 电路实现框图

电路要求 1 kHz 三相 120°输出,需要先得到 6 kHz 频率后,再 6 次分频,每次分频,三相有对应的电平输出。基准频率 16.384 MHz 分频 2 731 次可以得到 5.999 kHz,再 6 分频可到 0.999 877 9 kHz,频率精度理论值为 1.2×10^{-4} ,电路实现框图如图 4。

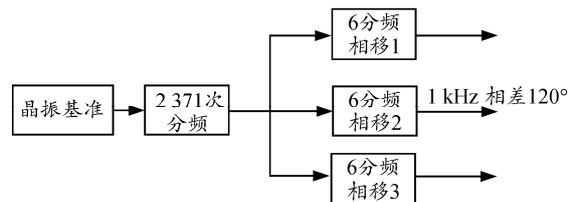


图 4 1 kHz 电路实现框图

2.2.3 仿真及实验结果

1 kHz、2 kHz 和 4 kHz 实验波形如图 5 所示，8 kHz、16 kHz 和 256 kHz 实验波形如图 6 所示，三相 1 kHz 波形如图 7 所示。

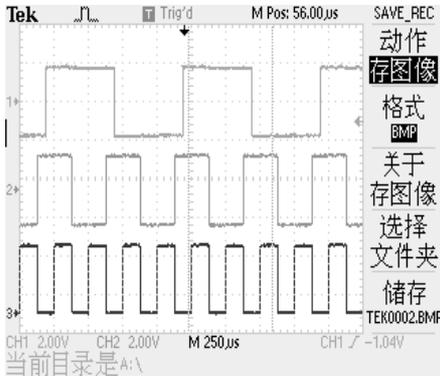


图 5 1 kHz、2 kHz 和 4 kHz 波形

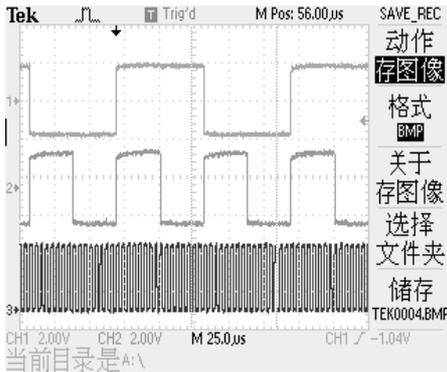


图 6 8 kHz、16 kHz 和 256 kHz 波形

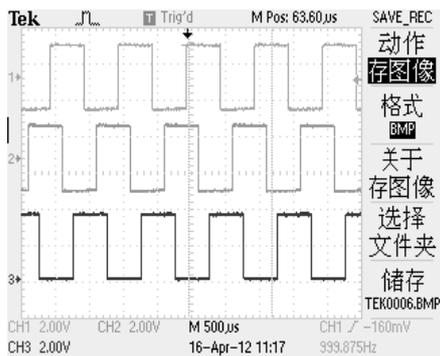


图 7 三相 1 kHz 波形

从图 7 可以看出三路输出信号相位相差 120°，频率为 999.875 Hz 频率精度为 1.25×10⁻⁴。

3 解决的关键问题

3.1 防误计数设计

计数器通过检测时钟输入的跳变沿进行计数。初始上电由于电源过冲及时钟输入毛刺等原因，会造成计数器的误计数。为了防止此现象的出现，上

电时计数器清零，增强电路的可靠性，电路框图如图 8 所示。

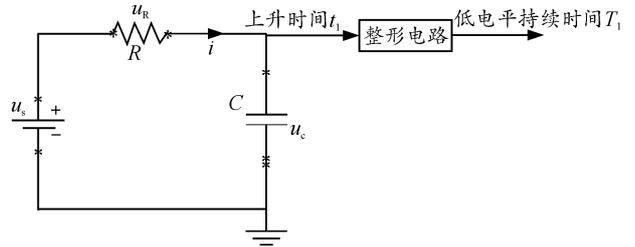


图 8 防误计数电路

如图 8 所示，电容初始储能为零，即 $u_c(0) = 0$ ，上电后，电路接入直流电压源 u_s 。根据 KVL，有

$$u_R + u_C = u_s \quad (1)$$

把 $u_R = Ri$ ， $i = C du_C/dt$ 代入，得电路的微分方程， $RC du_C/dt + u_C = u_s$ 。

可解得该一阶线性非齐次方程的解为

$$u_C = u_s(1 - e^{-t/\tau}) \quad (2)$$

其中时间常数 $\tau = RC$ 。

上电后电容端电压变化曲线如图 9 所示。

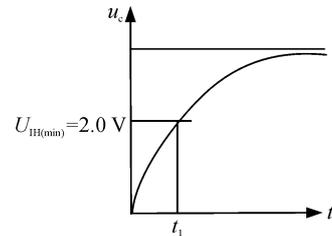


图 9 电容端电压变化曲线

电容端电压经整形电路可以得到计数器清零控制信号，图 9 中 $U_{IH(min)} = 2.0 \text{ V}$ 是后端整形电路输入高电平门限电压 (TTL 标准)，电压从 0 升高到 $U_{IH(min)}$ 所用的时间为 t_1 ，则 $U_{IH(min)} = 2.0 \text{ V}$ 。

$$t_1 = \tau \ln(u_s / (u_s - U_{IH(min)}))$$

整形后低电平持续时间 $T_1 = t_1$ 。需要注意的是，设计阻容时为满足时序，要求 $T_1 \leq T_2$ ， T_2 是晶振的振荡周期。

3.2 三相信号设计

信号 1~信号 5 为晶振频率基准 16.384 MHz 的整数倍，分频占空比调整信号频点理论误差为 0，信号 6~信号 8 要求 1 kHz 相差 120° 输出。1 个周期 T 为 360° 细分 6 段每段为 60°，以 60° 为间隔三相信号输出对应不同的逻辑电平，即可得到 120° 相差的信号，电路实现原理图如图 10 所示。

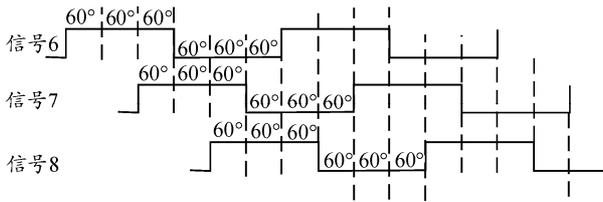


图 10 三相信号设计原理

从图 10 可以看出, 将晶振基准频率 16.384 MHz 进行 2371 次分频看得到 6 kHz 作为移相输入频率, 移相间隔为 1 kHz, 在 1 个计数周期 T 即 6 kHz 内, 信号 6~信号 8 对应逻辑电平输出见表 1。

表 1 三相信号逻辑

计数周期	信号 6	信号 7	信号 8
$1/6T$	1	0	1
$2/6T$	1	0	0
$3/6T$	1	1	0
$4/6T$	0	1	0
$5/6T$	0	1	1
$6/6T$	0	0	1

电路仿真波形如图 11, 实验波形如图 7。

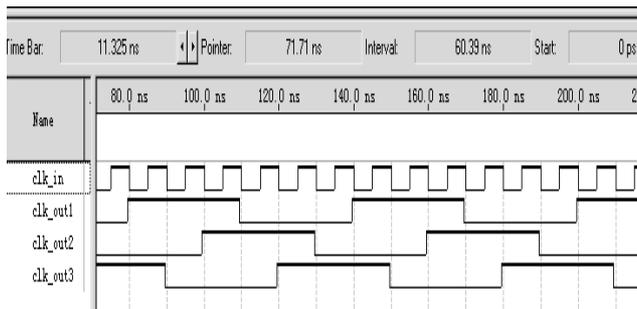


图 11 三相信号仿真波形

3.3 高精度分频器设计

电路信号输出精度要求小于 10^{-3} , 信号 1~信号 5 均为基准频率的整数倍分频精度均满足要求, 信号 6~信号 8 采用整数倍 2731 次分频, 精度可达 1.2×10^{-4} , 虽也满足指标要求, 但在高温和低温情况下随着基准频率的温漂精度出现了临界情况。为了有效解决 1 kHz 频率精度的问题, 需要设计高精度

的分频器, 设计了 2730.5 次分频, 电路结构框图如图 12。

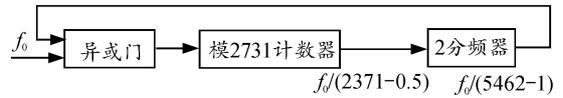


图 12 高精度分频器电路框图

从图 12 可看出, 将基准频率分频 2730.5 次, 得到 6.000366 kHz, 经过相移电路可以得到三相信号频率为 1.000061 kHz, 频率精度为 6.1×10^{-5} 。由此可以看出, 设计半整数分频器比整数分频器得到的信号频率精度高出一个数量级, 实验证明, 在高低温情况下, 电特性完全满足指标要求。

4 结语

笔者采用 1 片 CPLD (16 mm×16 mm) 实现了 2730.5 分频器、32 分频器、3 个 16 位计数器、1 个 6 分频器、1 个逻辑分配器的功能, 只占用了该芯片 69% 的逻辑资源和 36% 的输入/输出 (I/O 口)。实践结果证明: 这种新型方法具有信号输出精度高、抗干扰能力强、体积小、设计修改方便、成本较低等优势, 为其他相似电路的设计提供了参考。

参考文献:

- [1] 周凤. 交流电源变换器[J]. 导航与控制, 2007(4): 56-57.
- [2] 琴和平. 陀螺机电源[J]. 导航与控制, 2008(4): 68-69.
- [3] 袁同力. 军用陀螺专用混合集成电路[J]. 电子元件与材料, 2002(1): 28-29.
- [4] 齐兴昌. 机载陀螺电源的小型化设计[J]. 微计算机应用, 2005(6): 736-738.
- [5] 谭为民. 高品质多路交流电源的研制[J]. 兵工自动化, 2002, 21(5): 55-57.
- [6] 史国伟. 一种智能型高稳定度陀螺电源的设计原理及实现方案[J]. 测控技术, 2000(11): 53-54.
- [7] 王诚, 吴继华. Altera FPGA/CPLD 设计[M]. 北京: 人民邮电出版社, 2001.