

doi: 10.3969/j.issn.1006-1576.2012.02.021

锁相跳频源相位噪声预测方法的研究

彭永怀¹, 周雷¹, 冯江华²

(1. 总装驻绵阳地区军代室, 四川 绵阳 621000; 2. 四川九洲电器集团有限责任公司, 四川 绵阳 621000)

摘要: 为了提高现代通信系统的灵敏度和选择性, 提出一种能较为准确地预测锁相跳频源相位噪声的方法。在对电荷泵型的锁相跳频源的相位噪声理论进行分析的基础上, 对传统的相位噪声预测方法和 NSC 公司提出的新估计方法进行论证和合理的修正, 得出各自的应用范围, 并给出 2 个 L 波段低相噪跳频源设计实例, 对相位噪声预测方法进行验证。验证结果表明: 该方法能较为准确预测锁相跳频源的相位噪声, 大大地缩短了锁相跳频源的设计周期, 降低了设计成本, 对低相噪 PLL 源的设计也具有一定的指导意义。

关键词: 锁相环; 频率综合器; 相位噪声; 跳频源

中图分类号: TJ765.3 **文献标志码:** A

Research of Phase Noise Predication Method in PLL Frequency Synthesizer

Peng Yonghuai¹, Zhou Lei¹, Feng Jianghua²

(1. Representative's Office of General Armament Department in Mianyang, Mianyang 621000, China;

2. Sichuan Jiuzhou Electric Group Co., Ltd., Mianyang 621000, China)

Abstract: In order to improving the sensitivity and selection of modern communication system, put forward a predication methods for PLL's phase noise. The phase noise performance of current charge pump PLL frequency synthesizer is analyzed, on this base, the traditional and NSC's phase noise predication method are proved. Also, the two methods are modified, and the application region is specified in this paper. At last, two low phase noise PLL design is provided to prove the phase noise predication methods is relatively accurate. It can also short the design time and reduce the cost, and provide some meaningful instruction in low phase noise PLL designs.

Key words: phase locked loop; frequency synthesizer; phase noise; frequency jump synthesizer

0 引言

相位噪声是影响现代通信系统灵敏度和选择性的一个关键性因素, 高的相噪指标能提高系统的信噪比、降低邻近信道的干扰, 增加信道间的隔离度。作为现代频率合成器的主流, 对锁相跳频源的低相位噪声设计进行研究意义重大。

低相噪锁相环设计相当复杂, 实际设计中常需经多种方案和多次实验才能达到目标。因此, 笔者设计一种能较准确预测相位噪声的方法, 以大大缩短设计周期, 降低设计成本。

1 锁相环相位噪声分析

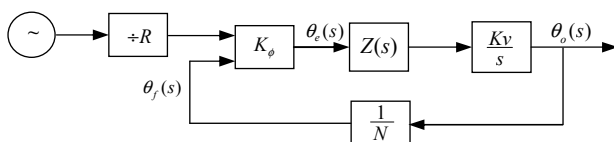


图 1 PLL 频率合成品器相位线性模型

锁相环主要由鉴相器、分频器、压控振荡器、倍频器、混频器和放大器等基本部件组成, 有的还包括辅助捕获电路, 跳频控制电路和电子开关等,

它们都不同程度地被引入相位噪声到频率合成器中。下面将以锁相环路的线性相位模型^[1](如图 1)为基础, 研究锁相环的相位噪声性能。

图 1 中, $K_\phi(\text{mA})$ 和 $K_V(\text{MHz/V})$ 分别是鉴相器电流增益和 VCO 的压控灵敏度, $Z(s)$ 是环路滤波器传递函数, R 是前置分频比。根据控制理论知识由上图可得 PLL 线性相位模型的前向增益 $G(s)$ 和反向增益 $H(s)$ 分别为式 (1) 和式 (2) :

$$G(s) = \frac{K_\phi K_V Z(s)}{s} \quad (1)$$

$$H = \frac{1}{N} \quad (2)$$

利用现代控制理论, 可得出锁相环路各个部件的噪声传递函数^[2]。下面以参考晶振振荡器为例来推导各个主要部件噪声源对应的噪声传递函数。设 $\theta_{oi}(s)$ 为 $\theta_{mi}(s)$ 在 PLL 输出端产生的相位噪声, 令其它噪声输入为零, 由图 1 可得:

$$\left(\frac{\theta_{mi}}{R} - \frac{\theta_{oi}(s)}{N} \right) K_\phi Z(s) \frac{K_V}{s} = \theta_{oi}(s) \quad (3)$$

由上式联合式 (1) 及式 (2) 经整理后可得参考

收稿日期: 2011-10-10; 修回日期: 2011-11-18

作者简介: 彭永怀(1964—), 男, 河北人, 硕士, 高级工程师, 从事装备监造与质量管理研究。

晶振对应的噪声传递函数为式 (4):

$$T(s) = \frac{\theta_{oi}(s)}{\theta_{mi}(s)} = \frac{1}{R} \frac{G(s)}{1+G(s)H(s)} \quad (4)$$

同理可推导 R、N 分频器的噪声传递函数为式 (5):

$$T(s) = \frac{G(s)}{1+G(s)H(s)} \quad (5)$$

鉴相器的噪声传递函数为式(6):

$$T(s) = \frac{1}{K_{\phi}} \frac{G(s)}{1+G(s)H(s)} \quad (6)$$

而 VCO 的噪声传递函数为式 (7):

$$T(s) = \frac{1}{1+G(s)H(s)} \quad (7)$$

由式 (4)、(5)、(6) 可以看出, 鉴相器、R 分频器、N 分频器和参考晶振的噪声传递函数有一个共同的因子: $\frac{G(s)}{1+G(s)H(s)}$, 这是它们与 VCO 噪声传

递函数的不同之处。环路带宽 ω_c 和相位裕量 ϕ 的定义如式 (8) 和式 (9):

$$\|G(j\omega_c)H\| = 1 \quad (8)$$

$$180^\circ - \angle G(j\omega_c)H = \phi \quad (9)$$

利用上述定义和式 (1)、(2) 以及 $G(s)$ 在 s 域单调下降的特性可得式 (10):

$$\frac{G(s)}{1+G(s)H} \approx \begin{cases} N & \text{当 } \omega \ll \omega_c \\ G(s) & \text{当 } \omega \gg \omega_c \end{cases} \quad (10)$$

而 VCO 的噪声传递函数可简化为式 (11):

$$\frac{1}{1+G(s)H(s)} \approx \begin{cases} \frac{N}{G(s)} & \text{当 } \omega \ll \omega_c \\ 1 & \text{当 } \omega \gg \omega_c \end{cases} \quad (11)$$

式 (10) 和 (11) 对应的图形可用图 2 和图 3 表示。

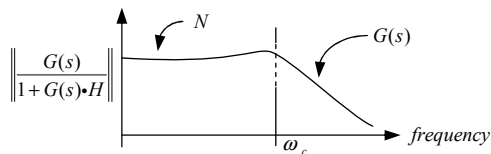


图 2 除 VCO 外带内噪声源的噪声传递函数共同因子曲线

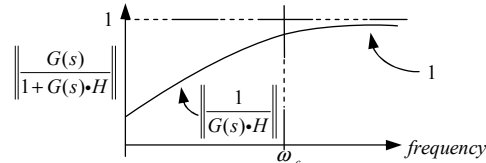


图 3 VCO 的噪声传递函数曲线

由式 (10)、(11) 及图 2 和图 3 可以看出: 锁相环的带内 ($\omega < \omega_c$) 的相位噪声主要取决于参考晶体

振荡器、鉴相器、N 分频器和 R 分频器噪声的大小; 而带外 ($\omega > \omega_c$) 的相位噪声主要取决于 VCO 的相位噪声, 它对锁相环带内噪声的影响很小, 除非在窄带环设计或 VCO 的近端相位噪声水平太差。即 PLL 对参考晶振、鉴相等带内噪声源呈低通特性, 而对 VCO 的噪声呈高通特性。

2 锁相环相位噪声的预测方法

由前述分析可见, 参考晶体振荡器经 PLL 环路后的带内噪声电压应乘以 N , 其噪声功率应与 N^2 成正比。以对数表示, 锁相环的输出相位噪声是在参考晶振噪声基础上按 $20\log N$ 的规律恶化, 这就是传统的相位噪声预测公式:

$$PN_{TOTAL} = PN_{CRYSTAL} + 20\log N \quad (12)$$

需注意的是上面的公式是在忽略了鉴相器相位噪声的影响情况下得出的。实际上, 鉴相器是 PLL 的一个重要的噪声源。以数字三态鉴频鉴相器为例, 在比较频率较高时, 鉴相器的输出噪声较大。最近, 鉴于考虑鉴相器噪声对 PLL 输出噪声的影响, NSC 公司提出了一种相位噪声预测的方法^[3]:

$$PN_{TOTAL} = PN_{SYNTH} + 20\log N + 10\log f_{PFD} \quad (13)$$

其中: PN_{SYNTH} 为频率合成器的 1 Hz 规一化噪声基底, 它是在一定的比较频率下定义的, 由芯片的相关资料给出。

前面的相位噪声预测公式 (12)、(13) 需特别注意的是: 它们都忽略了 R 分频器对相位噪声的“优化”作用, 可从公式 (4) 看出。当 $R \ll N$ 时, R 对 PLL 输出相位噪声的“优化”作用可以忽略; 但当 R 和 N 的值可相比拟时, R 分频器对相位噪声的“优化”作用就必须考虑。为此, 笔者对式 (12) 和式 (13) 2 种相位噪声预测公式进行了修正, 如下:

$$PN_{TOTAL} = PN_{CRYSTAL} + 20\log\left(\frac{N}{R}\right) \quad (14)$$

$$PN_{TOTAL} = PN_{SYNTH} + 20\log\left(\frac{N}{R}\right) + 10\log f_{PFD} \quad (15)$$

由此可见, 相位噪声预测公式有 2 种, 实际应用中选用哪种主要是看在 PLL 输出相位噪声中, 参考晶振和鉴相器谁占主导作用。而判断参考晶振的噪声水平是否占主导因素的办法是: 将参考晶振的频率 2 次倍频的同时, 再将 R 分频器的 R 值提高一倍, 如果输出相噪发生了变化, 这就表明参考晶振噪声相噪占主导地位; 否则, 鉴相器的相位噪声占主导地位。在实际设计中, 这种方法操作起来有一定难度。从式 (14) 看, 它是把参考晶振噪声作为主

导噪声源, 而式 (15) 是把鉴相器噪声作为主导噪声源。因此, 笔者认为, 要判断哪种噪声占主导作用, 可分别用 2 种方法来预测, 相噪指标较差的式子对应的噪声源就占主导作用, 这个相噪指标就是预测出的相噪指标。

3 低相噪锁相跳频源设计实例

3.1 设计实例 1

设计一个 L 波段锁相跳频源, 其输出频率为 1 025~1 250 MHz, 步长 625 kHz, 输入参考晶振 20 MHz (-115 dBc/Hz@1 kHz)。为了获得低相位噪声指标, 采取了混频锁相设计方案来降低 N 分频器的倍频恶化, 具体设计框图如图 4 所示。它是把 20 MHz 参考晶振信号用一个 45 倍的 SRD(阶跃二极管)倍频器倍频后产生 900 MHz 的信号, 然后与 VCO 的输出信号混频取差频反馈进环锁相输出。图 4 中的锁相跳频源鉴相器采用的是美国 NSC 公司的 LMX2330A^[4], 它的规一化噪声基底为: -211 dBc/Hz。根据设计要求和设计框图很容易求得最大的 N 值为 560, R=32。结合前面对相位噪声估计公式的分析, 由式 (15) 可预测本设计的相噪指标为:

$$PN_{TOTAL} = -211 + 20 \log 560 - 20 \log 32 + 10 \log(625 \times 10^3) = -128 \text{ dBc/Hz}$$

由式 (14) 可预测本设计的相噪指标为:

$$PN_{TOTAL} = -115 + 20 \log 560 - 20 \log 32 = -90 \text{ dBc/Hz}$$

式 (14) 算出的指标为锁相跳频源预测相噪指标, 而实际设计的跳频锁源相噪指标测试结果为: -89 dBc/Hz@1 kHz, 可见与预测结果很接近。

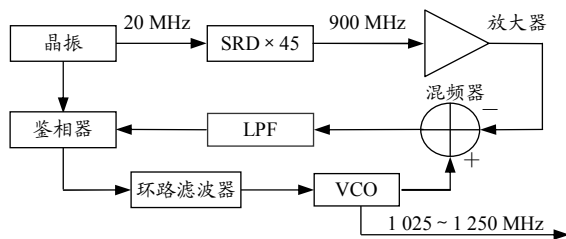


图 4 混频锁相源设计框图

3.2 设计实例 2

用分数_N(Fraction_N)锁相技术实现一个低相噪小步进跳频源: 中心频率 980.01 MHz, 步长 10 kHz, 输入参考晶振 20 MHz。下面先对分数_N 锁相技术作简单介绍。

分数_N 技术是国外 20 世纪 70 年代初期在吞吐

脉冲技术基础上研究成功的。它相对于整数 N 分频锁相技术的优势在于: 能在不改变鉴相频率 f_r 的条件下提高频率分辨率, 从而使系统转换时间缩短。同时, 通过提高鉴相频率可以增加环路带宽, 加强反馈。更为重要的是, 在相同频率步进要求下, 由于分数_N 锁相环可取较高的鉴相频率, 则在相同输出频率下可降低整数 N, 从而可降低与整数 N 相关的参考相位噪声倍乘恶化, 可获得比 NPLL 环路更好的噪声性能, 提高频谱纯度和性价比, 可以说这是频率合成器技术的突破。目前, 随着 DSP 技术和 ASIC 技术的日益渗透, 分数_N 技术也取得了一些新的发展, 最显著的是: 采用 $\Sigma-\Delta$ 调制技术来整形量化噪声, 这就大大提高了对分数杂散和噪声边带的抑制能力。

为获得较大的鉴相频率, R 取 1, N=49, 鉴相器的噪声基底为 -175 dBc/Hz。据式 (14) 可得:

$$PN_{TOTAL} = -145 + 20 \log 49 = -111 \text{ dBc/Hz}$$

由相位噪声预测公式 (15) 可得

$$PN_{TOTAL} = -175 + 20 \log 49 + 10 \log(2 \times 10^7) = -102 \text{ dBc/Hz}$$

由上可见, 由式 (15) 计算相位噪声预测结果为: -102 dBc/Hz@1 kHz。而实际设计的混频锁相跳频源的相位噪声测试结果见图 5, 具有良好相位噪声指标: -99 dBc/Hz@1 kHz, 这与公式 (15) 预测结果也很相近。

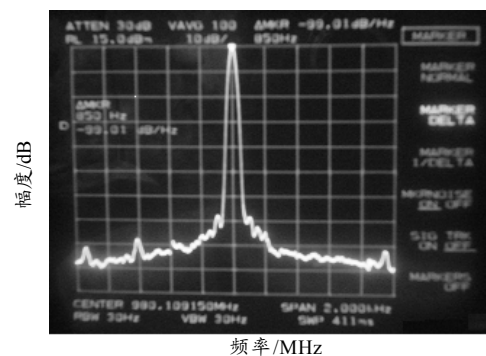


图 5 偏离载波 1 kHz 的相噪频谱图

4 结论

由以上理论分析和 2 个锁相跳频源设计实例结果表明: 在目前参考晶振相位噪声水平下, 对锁相跳频源相位噪声估计采用修正后的计算公式 (15) 结果较为准确。利用该公式预测相位噪声, 能缩短设计周期, 降低设计成本, 同时对低相噪 PLL 源的设计也具有一定的指导意义。