doi: 10.7690/bgzdh.2026.10.004

基于国产存储器的抗高冲击硬回收装置设计技术

张　荣，周继昆，李　翀，吴自佳，张志旭
（中国工程物理研究院总体工程研究所，四川 绵阳 621900）

摘要：针对火炮高速撞击试验用硬回收装置中数据存储器国产化替代进口的迫切需求，基于国产 NAND Flash 存储器，提出集电源管控、高精度同步触发、多功能电路设计及抗冲击防护的硬回收装置设计于一体的完整技术方案。采用国产江波龙 1GB NAND Flash 存储器，通过技术改进设计，研制 6 通道抗高冲击硬回收装置，具备 200 kHz 并行同步采样、12 位 A/D 分辨率，可采集弹体过载、引信信号及结构应变等多类型信号。300～900 m/s 速度范围内的多轮火炮撞击混凝土靶试验验证，结果表明：该装置可承受 900 m/s 火炮加载速度的极端高冲击载荷，完整采集炮弹从发射到撞击靶标全程冲击信号，实现了核心存储部件的国产化替代，具有优异的抗冲击性能与稳定电气性能，为国产化存储测试装置的系列化发展奠定了技术基础。

关键词：国产存储器；抗高冲击硬回收装置；火炮试验；国产替代进口；存储测试
中图分类号：TJ302　　**文献标志码：**A

Design Technology of Anti-high Impact Hard Recovery Device Based on Domestic Memory

Zhang Rong, Zhou Jikun, Li Chong, Wu Zijia, Zhang Zhixu
(*Institute of Systems Engineering*, *China Academy of Engineering Physics*, *Mianyang* 621900, *China*)

Abstract: In view of the urgent need of replacing the imported data memory in the hard recovery device for artillery high-speed impact test, based on the domestic NAND Flash memory, a complete technical scheme is proposed, which integrates power management and control, high-precision synchronous trigger, multi-functional circuit design and anti-impact protection. A six-channel anti-high impact hard recovery device is developed by using domestic Jiangbolong 1GB NAND Flash memory and through technical design improvement. It has 200 kHz parallel synchronous sampling and 12 bit A/D resolution, and can collect various signals such as projectile overload, fuze signal and structural strain. The results show that the device can withstand the extremely high impact load of 900 m/s artillery loading speed, completely collect the impact signal from the launch to the impact target, realize the domestic substitution of the core storage components, and has excellent impact resistance and stable electrical performance. It lays a technical foundation for the serialization development of domestic storage test devices.

Keywords: domestic memory; anti-high-impact hard recovery device; artillery test; domestic replacement of imports; storage test technology

0　引言

在火炮高速撞击试验中，抗高冲击硬回收装置作为测试弹体结构响应、引信工作状态等关键数据的核心仪器，其存储模块的可靠性与抗冲击性能直接决定试验数据的完整性，进而影响弹体设计优化与性能评估的准确性。随着国防装备自主可控战略的深入实施，关键元器件国产化替代已成为打破技术壁垒、保障供应链安全的核心任务。当前火炮试验用硬回收装置的数据存储器仍大量依赖进口产品，不仅面临采购周期长、成本高的问题，而且存在极端环境适应性不足、技术支持滞后等风险，严重制约测试仪器的自主化发展与迭代效率。开展基于国产存储器的抗高冲击硬回收装置研发，攻克国产存储芯片在极端冲击环境下的应用难题，实现核心部件国产化替代，具有重要的工程应用价值。

基于国产存储器的高冲击硬回收装置的研制，需根据国产存储器的容量大小及读写速度，开展微型硬件电路模块设计和火炮发射及撞击靶标高过载环境下的抗冲击防护结构设计。其中，硬件电路要解决电源管控、信号调理、数据采集存储以及适应复杂冲击环境的高可靠触发采集等问题。防护结构主要完成对装置内部电路模块的防护，避免在高冲击环境下电路模块损坏导致数据回收失效的问题。

考虑容量、读写速度以及封装形式，适应硬回收装置的数据存储器常采用 NAND Flash 存储器[1]。进口 NAND Flash 存储器通常为 16～128 GB，

收稿日期：2025-02-09；**修回日期：**2025-03-10
第一作者：张　荣(1979—)，男，四川人，硕士。

页编程时间 300 μs。与进口 NAND Flash 存储器对比，国产 NAND Flash 存储器容量小(1～2 GB)，编程速度低(400～500 μs)。以往采用进口 16 GB 大容量存储器设计火炮高冲击硬回收装置，在 200 kHz 6 通道同步采样下可连续采存 2 h 信号。由于采存时间够长，在火炮试验时从硬回收装置装入弹体上电即开始采集，不用考虑同步触发采集、误触发采集以及因为火炮点火失败未发射、仪器误操作提前触发发射以及异常退弹重新加电采集等复杂情况，均能在一次加电过程中实现正常和异常模式下的数据完整采存。采用 1 GB 国产小容量存储器，整个记录时间只有 6 min，采用上电即采集模式，在装弹异常、发射异常、误触发采集等情况，无法采集有效数据。这就需综合考虑电源管控、信号可靠稳定触发采存、Flash 存储器的读写状态控制等关键技术问题，确保稳定可靠采集到火炮正常发射或出现异常状态下的测试信号。

笔者在调研和性能比较基础上，选取国产江波龙公司生产的 FSNS8B008G-TWT[2]型 1GB Flash 存储器作为存储器，介绍基于国产存储器的高速撞击硬回收装置研制关键技术，包括电源管控、高精度可靠触发、多功能电路设计及抗冲击防护完整技术，研制适用于触发引信火炮试验的 6 通道硬回收装置，并通过 300～900 m/s 的多轮次高速撞击试验验证其性能，实现核心存储部件的国产化替代，为国产化存储测试装置系列化研制提供技术支撑。

1 硬回收装置总体技术方案

基于国产 NAND Flash 存储器的火炮试验用抗高冲击硬回收装置主要技术指标：测试通道为 6 个；采样频率为 200 kHz/通道；A/D 分辨率大于等于 12 位；采样模式为并行同步采样；总存储容量/时长为 1 GB/6 min；信号类型为弹体轴向过载信号 A_1、弹体横向过载信号 A_2、触发引信信号 A_3～A_5、弹体结构应变响应信号 S_1；火炮加载速度为 300～900 m/s；适应火炮试验可能出现的任意退弹、发射时间不定以及装弹后取消发射等异常下可靠测试。抗高冲击硬回收装置总体技术方案如图 1 所示，主要包括供电、数据采集与存储以及整体集成方案设计 3 部分。

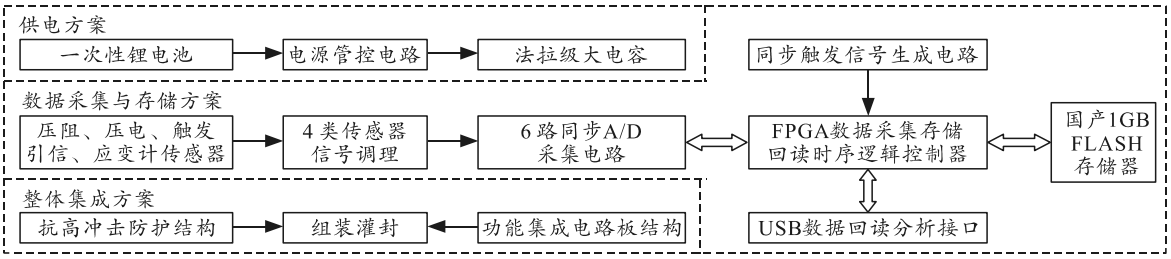


图 1 抗高冲击硬回收装置总体技术方案

1) 供电方案：是对一次性锂电池初始电压经系列线性 LDO 变换后形成装置所需的多种电压，满足各型传感器供电、调理器供电以及数据采集存储电路供电需求，同时还要实现地面电源与装置内部锂电池自由转电控制以及考虑强冲击模式下锂电池瞬间断电下的续电问题，确保装置在高冲击环境下稳定可靠供电。

2) 数据采集与存储部分：通过 60 000 g 量程的压阻加速度传感器测试弹体轴向冲击响应 A_1；通过 20 000 g 量程压电加速度传感器测试弹体侧向冲击响应 A_2；通过数 100 pC/g 高灵敏度的触发引信传感器测试触发引信信号 A_3～A_5；通过 20 000 με 量程应变计测试弹体轴向应变响应 S_1；采用国产江波龙公司产品 FSNS8B008G-TWT 型 1 GB Flash 存储器配合 FPGA 时序逻辑控制器控制 6 路 A/D 信号同步采集存储数据，并通过 USB 接口回读数据；其中同步触发信号生成电路正是考虑国产 Flash 存储器存储容量小而专门设计的精准稳定触发电路，确保小容量的 Flash 存储器能准确可靠记录到有效高速撞击测试数据。

3) 整体集成部分：通过对装置的功能划分形成功能集成电路板结构，为抗高冲击过载设计抗高冲击防护结构，将功能集成电路板结构安装于抗高冲击防护结构内，采用环氧树脂进行灌封，形成装置主体。

1.1 电源管控电路设计关键技术

电源管控电路主要解决装置低功耗供电控制、内部锂电池与外部直流电源供电的自由供电切换、强冲击环节下锂电池瞬间掉电的动态续电问题，实现装置在测试全程的稳定可靠供电，是装置设计的关键技术。

设计时，电源管控电路主要采用 CPLD 可编程器件作为中心控制器，程控系列 LDO 电源芯片实

现装置低功耗供电控制，程控三极管、PMOS 管及二极管构成的硬线转电控制功能实现锂电池供电与外部直流电源供电的自由切换；程控电容充放电电路对法拉大电容充放电实现高冲击下锂电池瞬间掉电的电容续电问题。电源管控设计方案如图 2 所示。

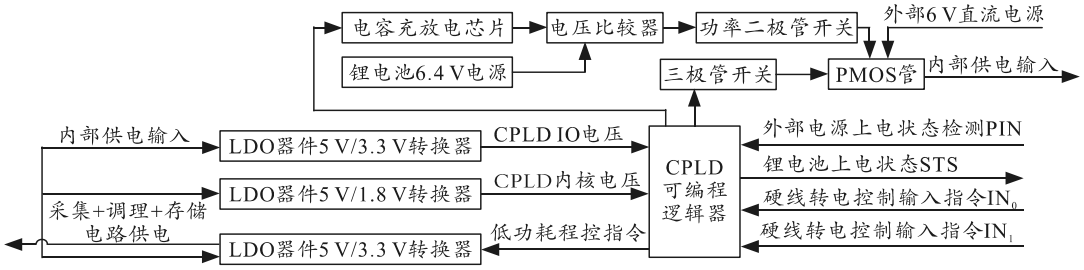


图 2　电源管控设计方案

图 2 中，电源管控电路单元包括 3 个功能：

1) 采用 3 个 LDO 分别完成锂电池 6.4 V 一次电压向+3.3 V、+1.8 V 二次电压的转换，为 CPLD 可编程逻辑控制器供电；CPLD 逻辑控制器通过低功耗程控指令控制第三路 LDO 产生 3.3 V 电压为采集、调理和存储电路供电，待机的低功耗模式，CPLD 关断该 LDO 供电。

2) 设计硬线转电输入指令 IN_0、IN_1 控制装置内部锂电池与外部直流电源的任意转电控制，采用 FSM[3]状态机控制，装置初始上电由外部 6 V 直流电源提供，直流电源通过电阻分压产生加电状态电压 PIN。装置内部锂电池与外部直流电源供电切换的 FSM 描述如表 1 所示。

表 1　内部锂电池与外部直流电源转电 FSM

FSM 状态	硬线指令 IN_0 电平	硬线指令 IN_1 电平	直流电源上电状态 PIN	转电状态
1	X	X	L	维持当前
2	H	L	H	电池→外部
3	L	H	H	电池→外部
4	L	L	H	外部→电池

表 1 中，“X”代表任意电平，“L”代表低电平，“H”代表高电平。由表 1 可知，仅当存在外部直流电源供电时，才可执行转电，这确保了任何状态下的可靠转电操作。

3) 考虑到锂电池在炮膛内或者撞击靶标瞬间因承受的冲击过载过大导致其内部隔膜[4]损伤出现瞬间掉电情况，在电路设计时采用 0.5～1 F 的法拉大电容作为续电元件，采用 CPLD 设计充电使能电路，装置上电时即启动充电电路为法拉电容充电，将电容电压接入比较器，一旦锂电池瞬间掉电，比较器状态切换到选通电容器供电关闭锂电池供电状态，这种动态切换时间是亚 μs 级的，使电容器供电无缝切换确保装置异常环境下供电稳定可靠。

1.2　高精度可靠触发关键技术

16 GB 大容量进口存储器的记录模式，装置上电即进行采集，可连续采存 2 h 数据。2 h 可完成火炮出现任何异常加上排故障时间内数据采存，确保测试过程不必因外部异常条件重新上电，比如不用拆弹，提升了测试效率。而对于采用 1 GB 的江波龙存储器，存储容量有限，必须确保即便火炮试验出现异常如发射时点火后不触发发射、异常情况需退弹以及异常点火发射等情况也能采集到有效的试验数据。笔者提出一种高精度可靠触发技术，采用“定时延时+膛内过载精确阈值检测触发”的数字触发方式，这种方式经验证比传统采用被测冲击加速度模拟信号作为触发阈值信号方法更可靠，高精度稳定可靠触发实现方案如图 3 所示。

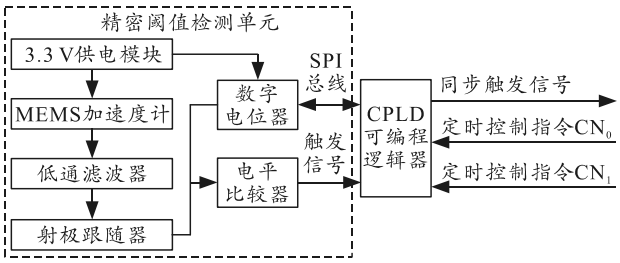


图 3　定时+高精度阈值触发同步触发信号产生方案

图 3 中，虚框部分为精密过载阈值检测单元，右边为 CPLD 可编程逻辑器控制精确延时单元。过载阈值检测的原理：将 MEMS 加速度计安装于装置内部信号调理板上，MEMS 加速度传感器提供 *X*、*Y*、*Z* 三向过载，三向过载信号通过低通滤波为 0～100 Hz 的低频信号，滤波目的是防止炮膛内的弹体任意磕碰行为产生误触发采集信号；滤波后信号送阻抗变换器隔离后进入电平比较器，电平比较器一端采用 256 级的数字电位器的输出信号作为阈值电压设定，数字电位器采用 SPI 总线与 CPLD 进行通信，CPLD 将设定的过载阈值电压以数字形式传递

给数字电位器，数字电位器根据输入数字对 3.3 V 电压进行分压，分压的电压信号对应触发电压阈值。MEMS 加速度计采用 ADXL377 技术指标：量程为 ±200 g；供电为 1.8～3.6 V；灵敏度为 6.5 mV/g；MEMS 加速度传感器采用 3.3 V 单电源供电，满量程 200 g 对应 1.3 V 电压输出。设定装置在炮膛内的过载为 50 g 时触发，则对应的电压为 325 mV。当数字电位器输入为“00011001”即对应十进制 25 时，阈值电压为 325 mV。实际工作时，炮膛内 *X*、*Y*、*Z* 任意方向过载大于 50 g 时，比较器输出为高电平，CPLD 连续检测 5 次均为高电平时认为火炮处于发射状态，这种连续检测方式可避免产生误触发信号。

同时，为匹配 Flash 存储器只有 6 min 存储时长特点，采用精确延时模式，在硬回收装置装入弹体后上电并不执行采集，而是检测定时控制指令 CN_0、CN_1 的电平状态，状态不同精确延时不同，这种精确延时必须考虑火炮试验前的装填准备时间，包括硬回收装置调试、装填炮弹、发射点火装备等时间，通常考虑划分为 10 s、10 min、20 min 和 30 min 4 档，其中 10 s 对应试验前硬回收装置的调试，其他根据现场试验准备时间动态确定。

同步触发信号产生顺序：试验前设定触发阈值和固定延时参数，比如，设定试验准备 10 min，膛内过载达 50 g 时触发采集，连续采存 6 min 数据。试验时，装置从装弹上电开始计时，一旦计时到 10 min 到达时启动 50 g 加速度阈值检测。若检测到 50 g 阈值，则证明火炮已发射，开始连续 6 min 数据采集，否则硬回收装置一直处于采集等待状态。采集等待状态即可应付退弹、提前、滞后点火触发炮弹发射等异常情况，同时延时 10 min 可覆盖掉装弹全程弹体在炮膛内的磕碰，避免磕碰产生冲击加速度引起的误触发。多轮次火炮试验表明，这种方式的触发采集稳定可靠。

1.3　国产 Flash 存储器的 FPGA 驱动方案

当前硬回收装置研制中对 Flash 接口驱动采用 ARM[5]、ARM+FPGA[6]模式较多，笔者采用 FPGA 作为主控芯片驱动国产 Flash。

江波龙 FSNS8B008G 型 NAND Flash 存储器结构如图 4 所示，其存储容量为 1 GB，由 2 048 个存储块组成，每块又分为 64 页，每页的存储空间为 (2K+64)Bytes。

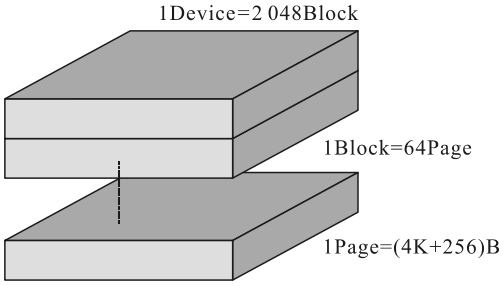
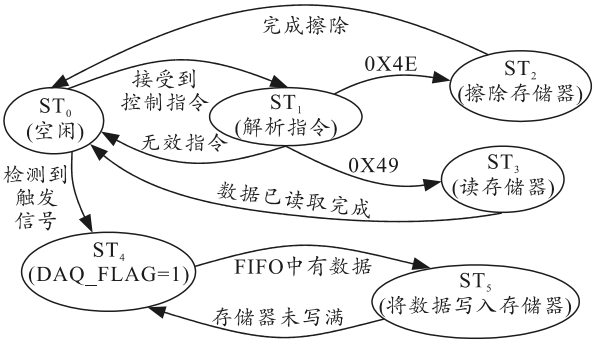


图 4　Flash 存储器结构

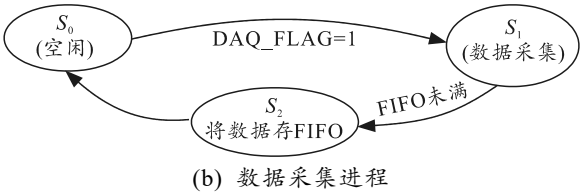
存储器的主要引脚包括：芯片使能(CE)、读使能(RE)、写使能(WE)、控制命令锁存使能(CLE)、地址锁存使能(ALE)、状态输出(R/B)、复用 IO 接口(IO_0～IO_7)，其中 R/B 引脚需通过一个 10 kΩ 电阻上拉后再连接到 FPGA 的 IO 接口，其余引脚直接连接到 FPGA 的 IO 接口，FPGA 通过控制存储器的使能引脚来复用并行 IO 接口，实现对存储器的数据擦除、数据写入和数据读取。

存储测试系统 FPGA 控制程序的主要功能包括：接收上位机下发的控制指令、触发信号检测、数据采集、写存储器、读存储器数据、擦除存储器等，上位机控制指令定义：0X4E 为擦除存储器；0X49 为读存储器的数据。

由于 NAND Flash 存储器的页编程时间约 400 μs，而存储测试系统的采样周期为 5 μs，因此，设计片内 FIFO 对采集的数据进行缓存，确保测试数据存储的完整性。设计方法：将 FPGA 控制程序分为 NAND Flash 存储器控制进程和数据采集进程，2 个进程并行工作，进程之间通过数据采集标志位“DAQ_FLAG”和 FIFO 进行数据交互，均采用有限状态机实现，FSM 状态机流程如图 5 所示。



(a) NAND Flash 存储控制进程



(b) 数据采集进程

图 5　FPGA 控制程序状态机流程

存储测试系统上电后，NAND Flash 存储器控制进程进入 ST_0 空闲状态，FPGA 在该状态下主要对上位机指令和触发信号进行检测：若接收到上位机指令，则进入 ST_1 指令解析状态，根据指令解析的结果执行存储器擦除(ST_2)或存储器读取(ST_3)，执行完成后返回 ST_0 状态；若在 ST_0 状态下检测到同步触发信号有效，则进入 ST_4 状态，将数据采集标志位“DAQ_FLAG”置 1，数据采集进程在 S_0 状态检测到“DAQ_FLAG”置 1 后启动数据采集 S_1 状态，并将采集到的数据存储到 FIFO 中，存储器控制进程检测到 FIFO 中有数据后进入 ST_5 状态，将 FIFO 中的数据写入 NAND Flash 存储器中，连续执行 6 min 数据采集。

1.4　多功能电路板设计及抗冲击防护体集成设计

1.4.1　多功能电路板设计

硬回收装置电路功能比较复杂，在高速侵彻类硬回收装置设计时，体积越小越利于抗冲击性能，所以对硬回收装置的电路板功能设计必须合理划分，既减少电路板面积，又利于电路功能集成。

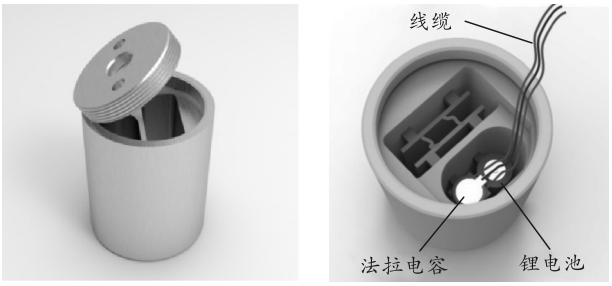
笔者介绍的硬回收装置，按照电路功能划分采用双电路板设计，双电路板尺寸均控制在 42 mm×36 mm，其中电路板 *A* 和电路板 *B* 功能及特征划分：板 *A*，集成电源管控电路、信号调理电路、同步触发生成电路，8 层电路板结构，FR4 板材；板 *B*，集成 A/D 采集电路、FPGA 逻辑控制电路、Flash 存储器、USB 数据回读接口电路，6 层电路板结构，FR4 板材。*A* 板与 *B* 板采用 6 mm×2 mm 插针/插座互连传递信号调理器输出信号以及同步触发信号。

1.4.2　抗高冲击防护结构设计

抗冲击防护结构采用内壳体和外壳体嵌套的方式进行设计，其中内壳体用于固定测试组件，外壳体用于匹配不同的试验弹型定制设计。

抗冲击防护内壳体用于安装锂电池组、法拉大电容、*A* 电路板、*B* 电路板。为了提高抗冲击性能，内壳体材料选用强度高、密度较低的合金钢；同时，壳体内部空腔通过灌注环氧树脂胶实现对锂电池组、法拉大电容、*A* 电路板、*B* 电路板的整体灌封。为了提高壳体强度、降低相互电路板与锂电池组间的相互影响，内壳体用双腔体设计方案，将锂电池组和电路板分开放置。

抗高冲击防护结构设计及内部组件安装如图 6 所示。



(a) 外观　　(b) 内部

图 6　抗高冲击防护结构及其内部组件安装

内壳体结构尺寸为 Φ75 mm×80 mm，质量不大于 1.4 kg。在电路板、锂电池组于内壳体安装时，电路板、锂电池组下表面与内壳体内腔底部之间采用局部垫 6 mm 厚的橡胶垫，电路板、锂电池组周边与内壳体内腔壁面间根据实际空间尺寸用宽约 3 mm 橡胶垫进行定位，法拉电容下表面与电池顶部之间局部垫 6 mm 厚的橡胶垫对法拉电容进行固定，橡胶垫与各接触零件之间涂抹适量 502 胶水使之粘贴牢固。经试验验证该内壳体防护结构可抗 20 000 g 的高冲击载荷，内壳体配合外壳体工作时，系统可抗 60 000 g 的冲击载荷。

2　试验验证情况

为验证采用江波龙国产存储器设计的硬回收装置的抗冲击能力与信号测试能力，开展了 300～900 m/s 多轮次火炮加载的高速撞击验证试验，撞击靶标为 C30 混凝土靶。

2.1　试验弹体设计及测试传感器安装

试验弹体结构及内部测试传感器安装如图 7 所示。

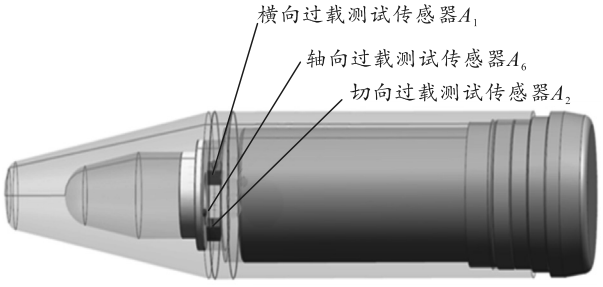


图 7　试验弹体内部过载测试传感器的安装

硬回收装置安装于弹体内，弹体材料采用高强钢。轴向过载测试用压阻传感器 A_6 安装于弹体头部测试弹体轴向过载，量程为 60 000 g，2 个 1A806 型压电传感器 A_1、A_2 分别安装于触发引信传感器位置处测试横向和切向过载，量程为 20 000 g。

（下转第 77 页）