

doi: 10.7690/bgzdh.2026.04.009

# 基于 ELD 补偿的 CT $\Delta$ - $\Sigma$ 调制器设计

张蓄金<sup>1</sup>, 胡义华<sup>2</sup>

(1. 河南应用技术职业学院, 郑州 450042; 2. 广西科技大学电子工程学院, 广西 柳州 545006)

**摘要:** 为解决广泛应用于各类核信号处理电路和核检测设备中的连续时间 $\Delta$ - $\Sigma$  (continuous time  $\Delta$ - $\Sigma$ , CT $\Delta$ - $\Sigma$ ) 调制器存在转换带宽不高的问题, 提出采用具有 1.5 时钟周期的超量环路延迟 (excess loop delay, ELD) 量化器来获得更高的采样率, 以及基于采样-保持的超量环路延迟补偿。分析 1.5 时钟周期的超量环路延迟补偿对前馈结构的信号传递函数的影响, 并提出一种改善调制器的信号传递函数 (signal transfer function, STF) 性能的方法; 基于这些分析, 设计一种 CT $\Delta$ - $\Sigma$  调制器架构, 并给出各主要设计模块的电路级实现。仿真结果表明: 设计的 CT $\Delta$ - $\Sigma$  调制器能显著降低信号传递函数 (STF) 带外峰值, 获得 31 MHz 的转换带宽和 72.5 dB 的信噪比, 以及 76.3 dB 的动态范围, 在 1.2 V 电源下, 功耗仅为 33 mW。

**关键词:** 模/数转换器; 连续时间信号;  $\Delta$ - $\Sigma$  调制器; 环路延迟; 信号传递函数; 前馈结构; 带外峰值; 动态范围  
**中图分类号:** TN97 **文献标志码:** A

## CT $\Delta$ - $\Sigma$ Modulator Design Based on ELD Compensation

Zhang Xujin<sup>1</sup>, Hu Yihua<sup>2</sup>

(1. Henan Technical Institute, Zhengzhou 450042, China;

2. School of Electronic Engineering, Guangxi University of Science and Technology, Liuzhou 545006, China)

**Abstract:** In order to solve the problem of low conversion bandwidth of continuous-time  $\Delta$ - $\Sigma$  (CT $\Delta$ - $\Sigma$ ) modulators which are widely used in various nuclear signal processing circuits and nuclear detection equipment, an excess loop delay (ELD) quantizer with 1.5 clock cycle is proposed to obtain higher sampling rate, and an excess loop delay compensation based on sample-and-hold is proposed. The effect of 1.5 clock cycle excess loop delay compensation on the signal transfer function of the feedforward structure is analyzed, and a method to improve the signal transfer function (STF) performance of the modulator is proposed. Based on these analyses, a CT $\Delta$ - $\Sigma$  modulator architecture is designed, and the circuit level implementation of the main design blocks is given. The simulation results show that the CT $\Delta$ - $\Sigma$  modulator can significantly reduce the out-of-band peak of STF, and obtain 31 MHz conversion bandwidth, 72.5 dB signal-to-noise ratio, and 76.3 dB dynamic range, with only 33 mW power consumption at 1.2 V power supply.

**Keywords:** analog/digital converter; continuous time signal;  $\Delta$ - $\Sigma$  modulator; loop delay; signal transfer function; feedforward structure; out-of-band peak; dynamic range

## 0 引言

近年来, 核电子技术的快速发展要求更节能、更高信号带宽 (band width, BW) 和更高动态范围 (dynamic range, DR) 的模/数转换器 (analog to digital converter, ADC), 使得各类核信号处理电路和核检测设备中的各级信号有效和精确的处理; 连续时间 $\Delta$ - $\Sigma$  (CT $\Delta$ - $\Sigma$ ) ADC 与相应的离散时间 ADC 相比, 其更低的功耗和固有的抗混叠滤波 (anti-alias filtering, AAF) 已在核电子技术和其他常见电子设备中得到了广泛应用<sup>[1-4]</sup>。文献[5-7]提出了一些目标分辨率在 10~12 位、信号带宽范围在 15~20 MHz 和动态范围在 65~70 dB 的 CT $\Delta$ - $\Sigma$  调制器。CT $\Delta$ - $\Sigma$  调制器固有的 AAF 能抑制带外信号和干扰

消除了额外模拟滤波器的需要, 从而实现更高的片上集成和更低的功耗。

为了设计一种高能效、高带宽和高动态范围的 CT $\Delta$ - $\Sigma$  ADC, 前馈结构是首选<sup>[8-9]</sup>。前馈结构仅处理量化噪声而不处理输入信号, 并且只需要一个反馈数/模转换器 (digital-to-analog converter, DAC)。与反馈结构相比, 会使得运算放大器的要求放宽, 从而降低功耗、提高带宽。然而, 前馈调制器在信号传递函数 (STF) 幅频响应中具有带外峰值<sup>[10]</sup>。文献[10-12]提出的 CT $\Delta$ - $\Sigma$  调制器很少具有低通 STF, 且需通过增加电路复杂性来实现无任何带外峰值。

为了实现更高的转换带宽, 笔者采用了具有 1.5 时钟周期的超量环路延迟 (ELD) 量化器, 对于给定的过采样率 (over sampling ratio, OSR), OSR=

收稿日期: 2024-12-13; 修回日期: 2025-01-12

基金项目: 广西重点研发计划项目 (桂科 AB18126089)

第一作者: 张蓄金 (1983—), 男, 河南人。

$f_s/2 \cdot BW$ , 可以实现更高的采样率  $f_s$ 。为了补偿由 1.5 的 ELD 引起的环路不稳定性, 提出了采用基于采样-保持 (sample and hold, S/H) 的超量环路延迟补偿。此外, 详细分析了这种 ELD 补偿对之前的滤波传递函数  $CT\Delta-\Sigma$  调制器的 STF 中带外峰值增加的影响; 基于这些分析, 设计了一种  $CT\Delta-\Sigma$  调制器架构, 给出了各主要设计模块的电路级实现, 并通过仿真结果进行了验证。结果表明: 设计的  $CT\Delta-\Sigma$  调制器架构显著降低了 STF 带外峰值, 获得了 31 MHz 的转换带宽和 72.5 dB 的信噪比, 以及 76.3 dB 的动态范围; 在 1.2 V 电源下, 功耗仅为 33 mW, 使其更适合于各类核信号处理电路和核检测设备的应用。

### 1 系统架构及其补偿分析

#### 1.1 ELD>1 的 $CT\Delta-\Sigma$ 调制器的 NTF 响应补偿

图 1 为改进后的  $CT\Delta-\Sigma$  调制器框图。

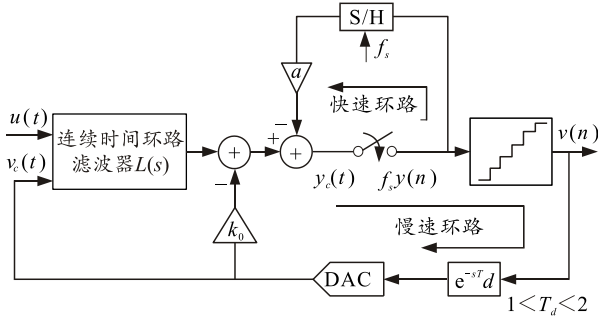


图 1 采用 S/H 的  $CT\Delta-\Sigma$  调制器的总体

包含一个大于一个时钟周期的 ELD 补偿技术。在该架构中, ELD 补偿是通过在采样器周围应用一个额外的反馈路径来实现的, 该路径采用一个具有增益为  $a$  的 S/H。这个快速环路的目的是恢复开环响应的第 2 个样本  $[n]$ 。由于 S/H 构成了这个额外的环路, 导致在调制器的噪声传递函数 (noise transfer function, NTF) 中出现一个额外的零点; 因此, 得到的噪声传递函数  $NTF_{new}(z)$  为:

$$NTF_{new}(z) = (1 + az^{-1}) \cdot NTF(z) \quad (1)$$

式中  $NTF(z)$  为不采用基于 S/H 的短环路的原始期望 NTF。该结构容许 ELD 在 1~1.5 的范围内, 可实现的采样率  $f_s$  增加 2 倍; 但由此产生更大的  $NTF_{new}$  带外增益 (out-of-band gain, OBG), 以及增大的带内噪声低限, 会导致量化器输出序列  $v[n]$  的更大“摆动”。量化器输入端的信号变化量 ( $v_c(t)$ ) 就会大大增加, 导致量化器过载的频率增大, 从而使得最大稳定幅值 (maximum stable amplitude, MSA) 显著降低, 调制器的性能下降。图 2 为期望

的  $NTF(z)$  与通过 ELD 补偿设计实现的  $NTF_{new}(z)$  的比较。

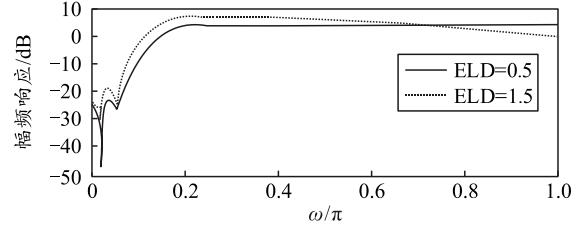


图 2 期望  $NTF(e^{j\omega})$  和改进后的  $NTF_{new}(e^{j\omega})$  的比较

#### 1.2 ELD>1 的 $CT\Delta-\Sigma$ 调制器的 STF 响应补偿

根据 1.1 节的分析, 必须对 STF 幅频响应中的带外峰值 (即 OBG) 进行补偿, 才能获得最大稳定幅值, 提高调制器的性能。图 3 所示为用于得到  $ELD > 1$  的  $CT\Delta-\Sigma$  调制器的 STF 补偿的等效线性模型。

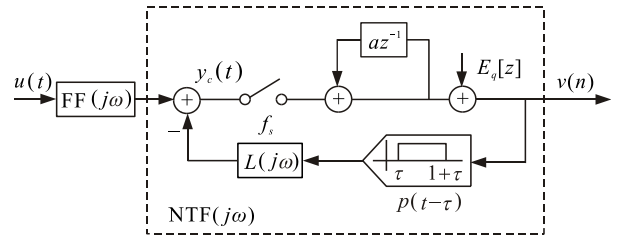


图 3 得到  $STF_{new}(j\omega)$  采用的线性模型

补偿后得到的 STF 如下:

$$STF_{new}(j\omega) = FF_{new}(j\omega) \cdot \frac{1}{1 + az^{-1} + k_0 z^{-1} + L_1(z)} \Big|_{z=e^{j\omega T_s}} \quad (2)$$

式中:  $FF_{new}(j\omega)$  为补偿之前的滤波传递函数;  $L_1(z)$  为对于  $ELD > 1$  的  $CT\Delta-\Sigma$  调制器补偿后的开环响应。  $FF(j\omega)$  的一般形式为:

$$FF(j\omega) = \frac{\gamma_N s^N + \gamma_{N-1} s^{N-1} + \dots + \gamma_1 s + \gamma_0}{s^N + \alpha_{N-1} s^{N-1} + \dots + \alpha_1 s + \alpha_0} \quad (3)$$

式中  $\gamma_N, \gamma_{N-1}, \dots, \gamma_1$  为控制  $CT\Delta-\Sigma$  调制器的抗混叠滤波性能的分母系数。图 4 给出了一个 4 阶  $CT\Delta-\Sigma$  调制器的 STF。

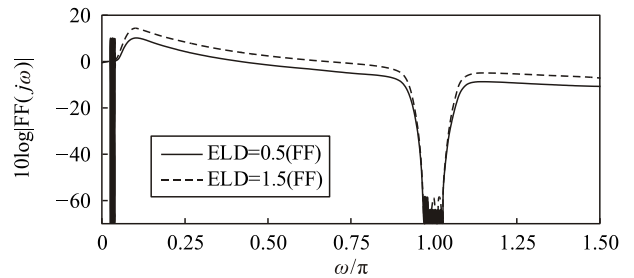


图 4  $|STF(j\omega)|$  和  $|STF_{new}(j\omega)|$  的比较

OSR=16, 分别对 ELD=0.5 和 1.5 进行了补偿。从图 4 可以看到, 与 ELD=0.5 相比, 对于 1.5 的  $CT\Delta-\Sigma$  调制器补偿后的带外峰值增加了大约 6 dB。

随着 OSR 的减小(OSR<16), STF 峰值显著增大。对于低 OSR 设计(OSR<16), 增大的峰值出现在调制器的信号 BW 附近。这个峰值转化为调制器的 DR 的轻微退化, 这是由于  $y_c(t)$  中增加的信号含量导致量化器过载。

为了便于理解 STF 中峰值的增大, 考虑图 5 中所示的  $FF(j\omega)$  和  $FF_{new}(j\omega)$  的零-极点图。

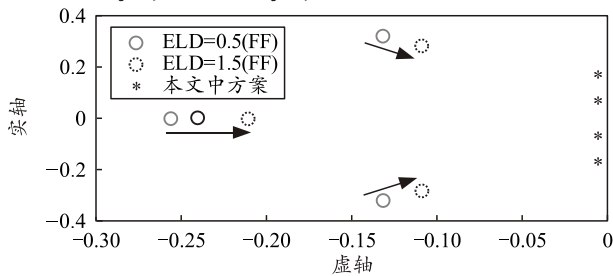


图 5 对于 ELD=0.5 和 1.5 补偿的 CTΔ-Σ 调制器的  $FF(j\omega)$  和  $FF_{new}(j\omega)$  的零-极点

一般来说, 对于一个  $n$  阶环路滤波器, 系数

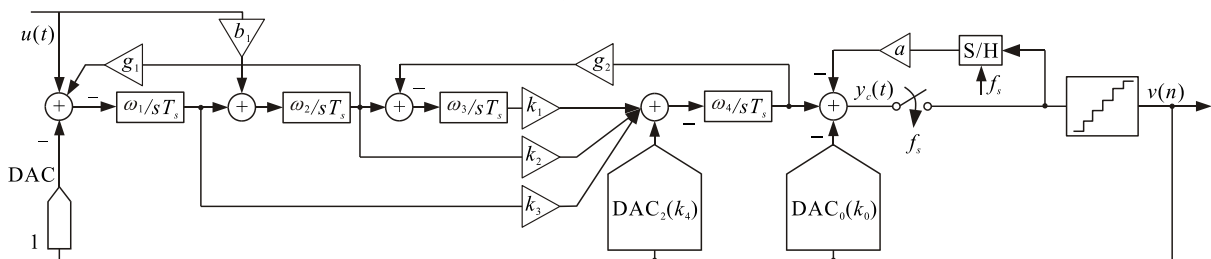


图 6 提出的减小 STF 峰值的 CTΔ-Σ 调制器架构

调制器采用一个 4 位量化器, 采样率为 1 GHz, OSR 为 16, 可实现 31 MHz 的信号带宽。选择一个 4 阶 NTF 来补偿由于  $NTF_{new}(z)$  中额外的零点而导致的信号量化噪声比 (signal quantization noise ratio, SQNR) 的减小, 并充分抑制量化噪声, 从而获得 13 位的有效位数 (effective number of bits, ENOB) 性能。设计中采用前馈 ( $k_4$ )、反馈 ( $k_1, k_2, k_3$ ) 和馈入 ( $b_1$ ) 与不归零 (non return to zero, NRZ) 反馈

$K=[k_0, k_1, k_2, \dots, k_n]$  通常是对所选择的反馈 DAC 脉冲形状, 采用脉冲不变变换, 将离散时间环路滤波器  $L(z)=1-NTF^{-1}(z)$  的脉冲响应  $l[n]=[0, l_1, l_2, l_3, \dots]$  与连续时间环路滤波器  $L_c(s)$  通过最小二乘拟合得到。由于采用 S/H 的快速环路恢复了开环响应的第 2 个样本  $l_1$ , 剩余的样本  $l_{new}[n]=[l_0, l_2, l_3, \dots]$  可通过最小二乘拟合适当地选择环路滤波器系数  $K=[k_0, k_1, k_2, \dots, k_n]$  来恢复。与  $l[n]$  相比, 由于  $l_{new}[n]$  中样本大小的增加, 环路滤波器系数  $K$  必须足够大, 以使  $l_{new}[n]$  适合连续时间环路滤波器响应  $L_c(s)$ 。  $K$  值的增加成比例地增加  $FF(j\omega)$  的系数  $\gamma_N, \gamma_{N-1}, \dots, \gamma_1$  的大小, 将导致  $FF_{new}(j\omega)$  的零点更接近  $j\omega$  轴, 从而导致 STF 的峰值增大。

### 1.3 CTΔ-Σ 调制器体系架构和设计过程

图 6 为所提出的 STF 带外峰值降低的 CTΔ-Σ 调制器架构, 从而提高抗混叠性能。

DAC (以实现  $k_0$  路径) 的组合。其中, 量化器延迟为 1.5 时钟周期, 以确保在所选工艺中较高的采样率。该延迟通过采用 S/H 的快速路径和额外反馈 DAC ( $k_0$ ) 的较慢路径来补偿。NTF OBG 设置为 2 dB (或 6 dB), 对应于得到的  $NTF_{new}(z)$  中的 OBG 为 13 dB。图 7 为图 6 的 CTΔ-Σ 调制器架构的有源 RC 实现。

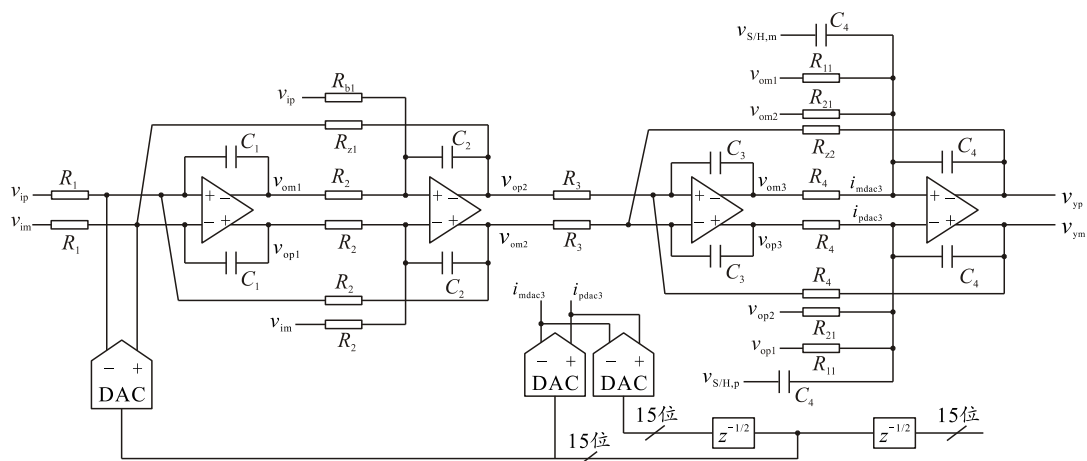


图 7 CTΔ-Σ 调制器架构的有源 RC 实现

为了优化设计中的功耗，把最后一个积分器用作加法器，同时采用 NRZ DAC 执行模拟微分。从调制器输入  $u(t)$  到量化器输入  $y_c(t)$  路径加入一个直接馈入，尽管会导致 STF 轻微退化，但有助于减少  $y_c(t)$  处的信号含量。在快速路径中应用一个简单的基于运算放大器的 S/H。设计步骤如下：

- 1) 为目标 SQNR 选择所需的  $NTF(z)$ ;
- 2) 通过利用 Schreier 工具箱中的 `impL1` 命令<sup>[13]</sup>，找到第 2 个样本  $a$  的值；
- 3) 在去除第 2 个样本并向前推进剩余样本(即  $[0, l_2, l_3, \dots]$ )后，采用 Matlab 中的 Prony 拟合函数得到等效的无限脉冲响应(infinite impulse response, IIR)传递函数  $L_1(z)$ ;
- 4) 利用步骤 3) 得到的传递函数  $L_1(z)$  得到  $NTF_1(z)=1/(1+L_1(z))$ ;
- 5) 应用 `realizeNTF_ct` 命令，利用  $NTF_1$  和 DAC 脉冲形状来计算  $L(s)$ ，从而得到环路滤波器系数  $K$ 。

## 2 主要模块电路的实现

### 2.1 运算放大器

图 8 和 9 分别为  $CT\Delta-\Sigma$  调制器前 3 个积分器和第 4 个积分器(含加法器)及 S/H 中采用的基于共模反馈(common mode feed back, CMFB)的前馈补偿运算放大器的电原理。

所有放大器中的输入差分对均采用低  $V_t$  器件，以获得更宽的输入范围。运算放大器拓扑用于前 3 个有源 RC 级，从第 1 级到第 3 级的偏置电流逐渐减小。这些运算放大器采用带有 PMOS 差分对的伸缩第 1 级，然后跟随一个 A 类放大作为第 2 级。由于  $g_{m3}$  与  $g_{m2}$  共用偏置电流，因此该拓扑结构有更低的功耗。为了确保运算放大器共模输出电压保持在  $V_{cm}$ ，在 2 个运放级中采用单独的 CMFB 回路。第 1 个运算放大器(包括 CMFB 电路)从 1.2 V 电源产生的总电流为 3.4 mA。最后一个积分器和采样/保持对运算放大器的性能要求很高。为了实现高增益/高速运算放大，第 1 级采用增益增强的折叠级联形式。为了在环路滤波器输出( $y_c(t)$ )处提供足够的电流，采用了 AB 类放大作为第 2 级。这个运算放大器所消耗的总电流为 6.1 mA。由于前馈补偿运算放大器具有较高的转换速率性能，所以它们在环路滤波器中的使用使得总的调制器线性度有显著改善。

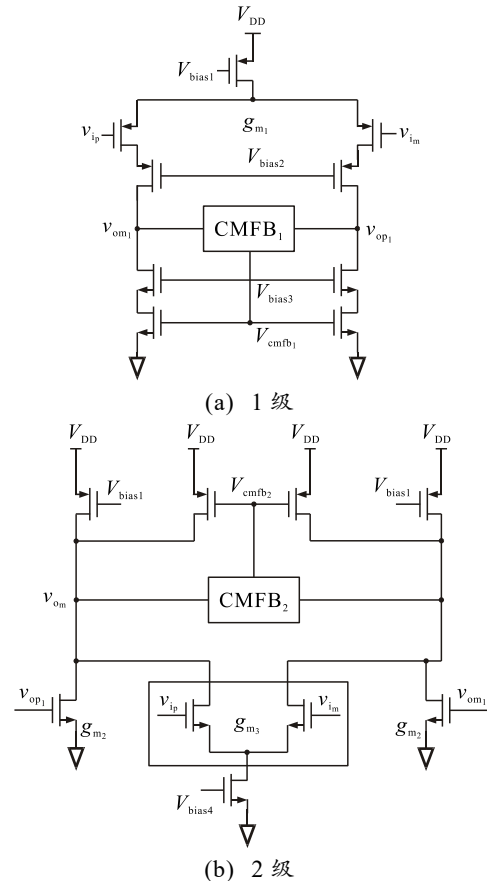


图 8 前 3 个积分器中采用的基于 CMFB 电路的 2 级前馈补偿运算放大器

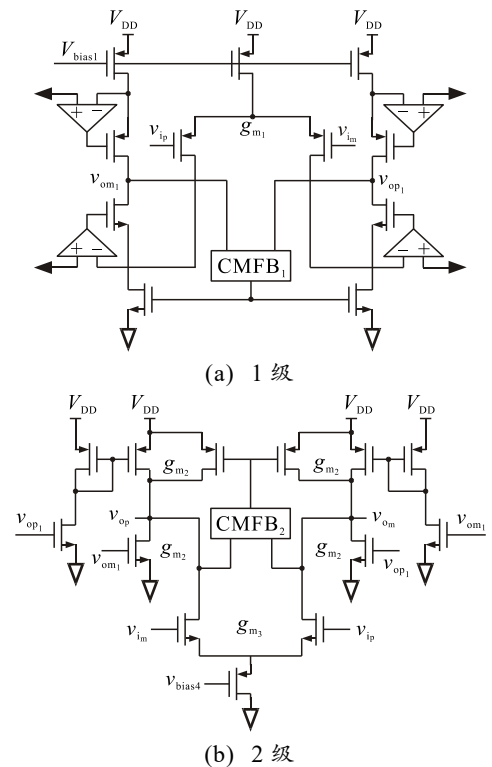


图 9 第 4 个积分器(包含加法器)和 S/H 中采用的基于 CMFB 电路的 2 级前馈补偿运算放大器

### 2.2 量化器和 DAC

在 CTΔ-Σ 调制器中, 采用了输入范围为  $1.6 V_{pp}$  的 4 位闪存(Flash)量化器, 量化器中采用了高速比较器<sup>[14]</sup>。比较器采用一个差动放大器作为第 1 级, 然后跟随一个锁存器以提供一个较大的再生增益。比较器需要一个调整电流 DAC 来补偿差分对和尾电流源中的不匹配。调制器采用 3 个电流导引 DAC, 其偏置电流分别为  $I_{DAC0}=4.7 \mu A$ ,  $I_{DAC1}=1 \mu A$ ,  $I_{DAC2}=10 \mu A$ 。在 DAC 失配误差整形设计中, 采用了标准动态加权平均 (dynamic weighted averaging, DWA)<sup>[15]</sup>。DWA 数字模块用合成的 Verilog 实现。

### 3 仿真实验结果

利用  $0.13 \mu m$  CMOS 工艺实现了一个 4 阶 CT Δ-Σ ADC。采用 Spectre 对 CTΔ-Σ 调制器进行晶体管级仿真, 并应用 Matlab 对结果进行后处理。

图 10 所示为前馈(ELD=0.5)和所提出的调制器架构(ELD=1.5)仿真得到的 STF。

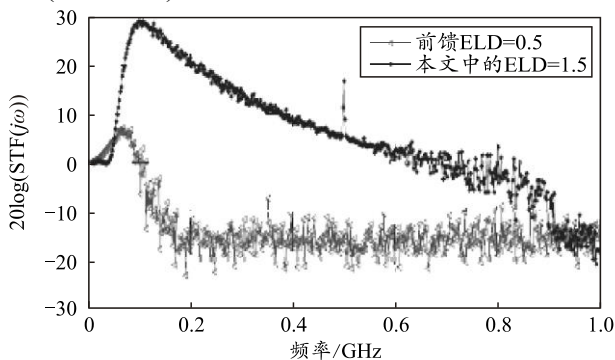
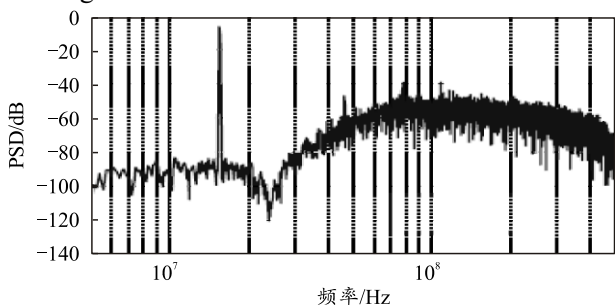


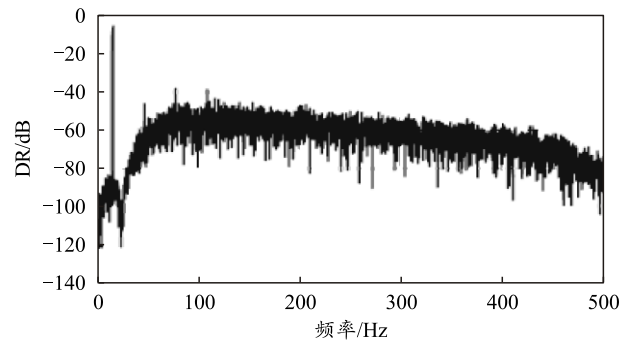
图 10 对于传统前馈和本文中提出的 ELD=1.5 的调制器仿真得到的 STF 响应

图 10 可以看到: 笔者提出的 CTΔ-Σ 调制器的 STF 带外峰值显著降低, 减小了大约 24 dB, 从而提高了抗混叠滤波性能。

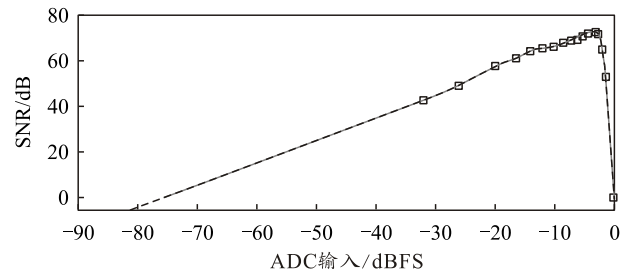
图 11 分别为采用  $-2.5 \text{ dB FS}$  振幅值, 对于  $15.5 \text{ MHz}$  输入频率时 CTΔ-Σ 调制器输出的功率谱密度 (power spectral density, PSD), 以及仿真得到的信噪比 (signal to noise ratio, SNR) 和 DR。



(a) CTΔ-Σ 调制器 SNR=72.5 dB 输出的 PSD



(b) 仿真得到的 DR



(c) 仿真得到 DR=76.3 dB 的 SNR

图 11 本文中提出的 CTΔ-Σ 调制器在  $1 \text{ GS/s}$  和  $BW=31 \text{ MHz}$  ( $OSR=16$ ) 时的仿真性能

仿真中采用带有汉明窗的  $8 \text{ k}$  点快速傅里叶变换 (fast Fourier transform, FFT) 进行谱估计; 可以看到, 调制器的峰值信噪比为  $72.5 \text{ dB}$ , DR 为  $76.3 \text{ dB}$ 。调制器在  $1.2 \text{ V}$  电源电压下的功耗约为  $34 \text{ mW}$ , 并获得了  $0.189 \text{ pJ/电平}$  的性能值 (即  $FoM=P_d/2^{ENOB} \cdot 2 \cdot BW$ )。

表 1 为本文中设计的 CTΔ-Σ 调制器性能总结以及与其他先进设计的比较。

表 1 性能总结和比较

技术指标	本文中设计	文献[5]	文献[6]	文献[7]
工艺技术/ $\mu m$	0.13	0.18	0.13	0.18
电源电压/V	1.2	1.5	1.2	1.8
采样率/MHz	1000	79	512	300
BW/MHz	31	18	16	15
功耗/mW	33	55	22	21
DR/dB	76.3	74.1	70	70
SNR <sub>max</sub> /dB	72.5	72.8	60	67.2

### 4 结论

笔者采用  $1.5$  时钟周期延时的量化器, 并基于  $0.13 \mu m$  CMOS 工艺设计一种  $1 \text{ GS/s}$  的 CTΔ-Σ 调制器, 获得了  $31 \text{ MHz}$  的转换带宽, 调制器的总功耗为  $33 \text{ mW}$ ; 分析  $1.5$  时钟周期的超量环路时延补偿对前馈结构的 STF 的影响。提出一种改善调制器的 STF 性能的方法, 使得带外峰值降低了  $24 \text{ dB}$ ; 笔者提出的 CTΔ-Σ 调制器的晶体管级仿真结果表明: 在  $-2.5 \text{ dB FS}$  振幅值和  $15.5 \text{ MHz}$  输入频率情况下, 峰值信噪比为  $72.5 \text{ dB}$ , 动态范围为  $76.3 \text{ dB}$ 。

参考文献:

[1] 杜秋宇, 江晓山, 李绍富, 等. GEM 探测器读出电子学 ADC 采样系统设计[J]. 核电子学与探测技术, 2015, 35(4): 399-402, 407.

[2] 陈睿, 陆妩, 任迪远, 等. 10 位 CMOS 模数转换器高低剂量率的辐射效应[J]. 核电子学与探测技术, 2011, 31(2): 204-208.

[3] 黄伟奇, 唐祯安. 应用于微测辐射热计的 12 位 SAR ADC 的设计[J]. 仪表技术与传感器, 2020(3): 31-37.

[4] 钟再敏, 陈振挺.  $\Delta-\Sigma$  ADC 在旋变解码与电流采样中的应用[J]. 微特电机, 2017, 45(10): 9-12, 17.

[5] 祁磊. 高速逐次逼近型模数转换器研究与设计[D]. 南京: 东南大学, 2016.

[6] YUAN J, YANG Y T. A 22mW 512MHz CMOS continuous time sigma-delta ADC in 1.2V with 16MHz signal bandwidth and 70dB dynamic range[J]. Analog Integrated Circuits and Signal Processing, 2012, 72(1): 47-53.

[7] REDDY K, PAVAN S. A power efficient continuous time  $\Delta-\Sigma$  modulator with 15MHz bandwidth and 70dB dynamic range[J]. Analog Integrated Circuits & Signal Processing, 2010, 63(3): 397-406.

[8] 赵富菊. 16 位具有前馈结构的三阶 Delta Sigma ADC 设

(上接第 32 页)

图 12 中的 PLC 具有编程简单、控制功能强、可靠性高、易于维护安装等特点, 符合本文中弹体尾翼自动拧紧控制的要求。

5 结论

笔者以弹体尾翼自动拧紧装配为例, 应用螺纹拧紧技术、电气控制技术<sup>[11]</sup>、可编程控制技术、传感器技术等, 实现了弹体尾翼的自动拧紧装配。结果表明: 该装置能保障工人的生命安全, 提高了弹药的生产效率和质量, 满足现代化军事的需求。

参考文献:

[1] 马云富. 我国弹药装药装配技术现状及发展对策[J]. 兵工自动化, 2009, 28(9): 1-3, 14.

[2] 李浩. 工业自动化生产线中智能制造技术应用研究[J]. 现代工业经济和信息化, 2023, 13(8): 151-153.

[3] 马林春. 基于强度与刚度要求的机械结构设计优化[J].

计[D]. 哈尔滨: 哈尔滨工业大学, 2010.

[9] 徐灿. 四阶完全前馈结构 sigma-delta ADC 设计[D]. 成都: 电子科技大学, 2014.

[10] PHILIPS K, NUIJTEN P, ROOVERS R, et al. A continuous-time sigma delta ADC with increased immunity to wide-band interferers[J]. Solid-State Circuits, 2004, 39(12): 510-515.

[11] RANJBAR M, MEHRABI A, OLIAEI O. Continuous-time feed-forward  $\Sigma-\Delta$  modulators with robust signal transfer function[C]//IEEE International Symposium on Circuits& Systems. USA: Seattle, WA, 2008: 1878-1881.

[12] 崔凤梅. 采用 TDC 和 SAR 的高速低功耗两步式结构 ADC 设计[J]. 电子器件, 2019, 42(1): 210-215.

[13] LOLOEE A. Understanding Delta-Sigma Modulators[J]. Electronic Design, 2013, 61(9): 42-47.

[14] SINGH V, KRISHNAPURA N, PAVAN S. Compensating for Quantizer Delay in Excess of One Clock Cycle in Continuous-Time Modulators[J]. Circuits and Systems, 2010, 57(9): 676-680.

[15] NAHAR A K, JADDAR A S, KHLEAF H K, et al. Second order noise shaping for data-weighted averaging technique to improve sigma-delta DAC performance[J]. Advances in Applied Science, 2021, 1(1): 79-87.

中国机械, 2023(34): 21-24.

[4] 李聪, 石义官, 黄权, 等. 基于深度学习的小口径弹药装配设备故障诊断专家系统[J]. 兵工自动化, 2023, 42(6): 20-26.

[5] 傅顶和. 基于模块化理念的自动拧紧机的机械系统设计[J]. 木工机床, 2008(1): 23-27.

[6] 金健生, 沈豪, 胡小山. 螺栓先进拧紧技术在轨道交通装备中的应用及展望[J]. 机车车辆工艺, 2018(4): 18-19, 24.

[7] 张东京. 弹体智能拧紧机控制系统的设计与实现[D]. 重庆: 重庆大学, 2005.

[8] 盛攀鹏, 丁黎明, 孟浩. 基于 PLC 的伺服电机在自动化中的应用[J]. 中国高新科技, 2023(20): 114-116.

[9] 柴继新, 王恩锋, 范小燕, 等. 几种常见的电阻应变式旋转扭矩传感器[J]. 计测技术, 2010, 30(2): 34-36.

[10] 初航, 郭治田, 王伦胜. 实例讲解三菱 FX 系列 PLC 快速入门[M]. 北京: 电子工业出版社, 2017.

[11] 廖芸, 杨何, 肖漪帆, 等. 压制退模一体机控制系统[J]. 兵工自动化, 2023, 42(5): 46-49.