

doi: 10.7690/bgzdh.2026.02.004

# 国产自主可控数字多道脉冲分析器

陈春宏, 韩强, 王伟, 曹舟, 任永, 赵晨峰, 牛德青

(中国兵器装备集团自动化研究所有限公司智能测控事业部, 四川 绵阳 621000)

**摘要:** 为验证数字多道分析器国产化的可行性, 对国产自主可控的数字多道脉冲幅度分析器研制进行研究。采用国产电子元器件设计实现一种基于 ADC+FPGA+ARM 架构的数字多道脉冲幅度分析器, 并对 Cs-137 和 Co-60 $\gamma$  放射源进行能谱测试。测试结果表明: 所设计的数字多道性能稳定, 满足应用场景需求, 证明了设计方案的可行性, 为数字多道国产化提供了参考。

**关键词:** 数字多道; 国产化; FPGA; 基线漂移; 短时稳定性

**中图分类号:** TP301.6 **文献标志码:** A

## Domestic Controllable Digital Multi-channel Pulse Analyzer

Chen Chunhong, Han Qiang, Wang Wei, Cao Zhou, Ren Yong, Zhao Chenfeng, Niu Deqing

(Department of Intelligent Measurement and Control, Automation Research Institute Co., Ltd. of  
China South Industries Group Corporation, Mianyang 621000, China)

**Abstract:** In order to verify the feasibility of domestic production of digital multichannel analyzers, research was conducted on the development of domestically produced, self-controllable digital multi-channel pulse amplitude analyzers. A digital multi-channel pulse amplitude analyzer based on the ADC+FPGA+ARM architecture was designed using domestically produced electronic components. Energy spectrum tests were conducted on Cs-137 and Co-60 $\gamma$  radioactive sources. The test results showed that the designed digital multi-channel analyzer had stable performance and met the requirements of application scenarios, proving the feasibility of the design scheme and providing a reference for the domestic production of digital multi-channel analyzers.

**Keywords:** digital multi-channel pulse analyzer; localization; FPGA; baseline drift; short-term stability

## 0 引言

核技术作为一种高新技术, 在工业、农业、医学等多个领域发挥着重要作用, 具有深远的研究意义和现实价值<sup>[1]</sup>。多道分析器是核技术应用中的重要工具, 被广泛应用于各类能谱测量分析设备。早期的多道分析器主要基于模拟器件, 结构复杂, 易受环境因素影响, 稳定性较差, 难以满足复杂的应用场景需要。随着半导体技术的发展, 数字集成电路为多道分析器的发展提供了新思路。在国内外众多学者、企业的推动下, 数字多道分析器成为应用主流<sup>[2]</sup>。数字多道分析器借助高速模数转换器将核信号从模拟量转换为数字量, 利用数字信号处理器对数字核信号进行后续处理, 提高了信号质量和系统抗干扰能力, 使得多道分析器的性能进一步提升。

得益于先进电子元器件发展优势, 国外对于数字多道分析器的研究起步早, 技术相对成熟, 21 世纪初已实现商用, 经过多年的进步已形成较为完善的行业体系。多家企业拥有性能优越的设备, 如 LABZY 公司的 nanoMCA-II<sup>[3]</sup>、Amptek 公司的

MCA-8000D<sup>[4]</sup>等。国内针对数字多道分析器的研究主要起始于 2000 年之后。清华大学、四川大学等高校和科研机构对数字多道分析器的硬件、数字信号处理算法等方面进行了研究, 形成了一套较为完善的理论体系<sup>[5-6]</sup>。由于受限于国产软硬件水平的发展, 之前的研究绝大多数都基于国外软硬件开展, 国产数字多道分析器起步较慢, 成熟的国产化方案较少<sup>[7-8]</sup>, 难以满足日益增长的国产化需要。

近年来, 国内半导体技术爆发式发展, 国产软硬件水平飞速提升, 涌现出一系列性能优越的产品, 逐渐缩小与国际先进水平的差距, 为数字多道分析器的国产化实现提供了软硬件基础, 高性能国产数字多道分析器设计研制成为可能。为了验证数字多道分析器国产化的可行性, 笔者广泛调研国产电子元器件, 采用国产设计平台和电子元器件设计搭建一套数字多道分析器, 实现技术自主可控。

## 1 设计与实现

### 1.1 系统整体架构

系统整体架构如图 1 所示。

收稿日期: 2024-11-16; 修回日期: 2024-12-22

第一作者: 陈春宏(2000—), 男, 四川人, 硕士。

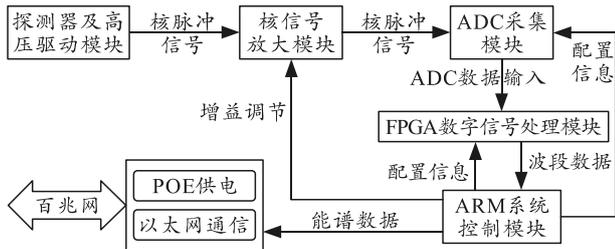


图 1 系统整体架构

数字多道分析器主要由探测器及高压驱动模块、核信号放大模块、ADC 采集模块、FPGA 数字信号处理模块、ARM 系统控制模块和电源模块等部分组成。探测器为管座式晶体探测器，由高压模块产生高压进行驱动。核信号放大模块接收来自探测器输出的核脉冲信号，对其进行放大、单端转差分后输出到 ADC 采集模块。ADC 采集模块主要由中科芯高速 ADC 芯片 JAD16P1-100 及其驱动电路组成，将转换后的数字信号输出到 FPGA 数字信号处理模块并接收来自 ARM 控制模块的配置信号。FPGA 数字信号处理模块基于安路科技 FPGA 芯片 PH1A100GCG324 进行设计，负责对采集到的数字核脉冲信号进行滤波成形等数字信号处理，将提取到的幅度等信息发送到 ARM 控制模块中。ARM 控制模块以中科芯 QJ32F407VGT6 为主控芯片，对 ADC、FPGA 进行配置，并实现对外通信。电源采用 POE 供电，进行供电的同时还实现了百兆以太网网络通信。

整体系统融合了 ARM 和 FPGA 的性能优势，ARM 负责事务级处理，FPGA 专注于核信号数字处理，降低了系统的开发难度和 FPGA 硬件资源需求，在一定程度上降低了开发成本。

### 1.2 硬件设计

从硬件设计角度分析，整个数字多道分析器中包含用于探测器驱动的高压信号，探测器输出的微小模拟信号，以及后续处理过程中的数字信号。为了减少各种信号的干扰，提高信噪比，将硬件电路设计分为高压产生模块、高压分压模块、模拟量放大采集模块和数字处理模块 4 块独立的电路：高压产生模块将高压输出到高压分压模块中驱动探测器，模拟量放大采集模块包含核信号放大、ADC 采集等功能，而数字处理模块接收并处理模拟模块输出的数字信号，并实现对外通信。

探测器输出一般为微小的模拟信号，需要进行放大处理才能满足 ADC 采集要求。本文中放大电路由硬增益调节、基线调节和单端转差分几个部分

组成。放大电路原理如图 2 所示。

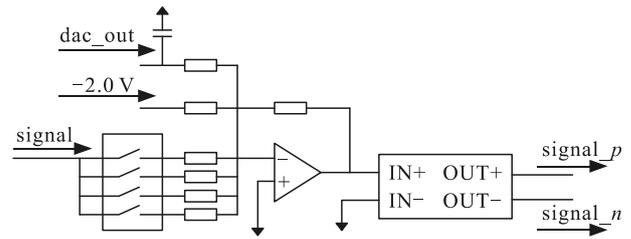


图 2 核信号放大电路

硬增益调节和基线调节部分采用电阻网络配合高速低噪声运放实现反相放大器对输入核脉冲信号进行放大，同时通过 DAC 和基准电压实现可调的放大器基线偏置来保证将不同探测器输出到 ADC 的输入信号调整到最大可测范围，以提高 ADC 量程利用率和采样精度。经增益和基线调节后的信号进行单端转差分处理以满足 ADC 差分采样需求。

探测器的输出脉冲一般为基于零线的单方向负指数脉冲信号，由于核素衰减的随机性、不确定性，核脉冲信号出现的时间、幅度无法确定。ADC 如图 3 所示。

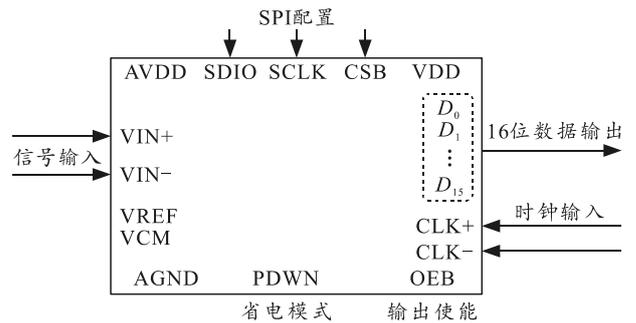


图 3 ADC 电路

为了尽可能地将核信号调节到 ADC 的最佳可测范围，提高 ADC 量程利用率，在反相放大器中加入偏置调节电路，通过 DAC 输入偏置电压，经过加法运算电路与基准电压  $-2.5\text{ V}$  叠加到信号上，实现在一定范围内的核脉冲信号的基线可控可调。同时配合拨码开关选择硬增益大小让基线调节过程更加灵活，以满足不同探测器输出。

高速 ADC 模块选用中科芯 JAD16P1-100 高速数模转换器，分辨率为 16 bit，单通道 100 Msps，因此理论上数字多道分析器道址数可实现 16 K。该芯片集成了采样保持单元和 4 段 11 级开关电容流水线子 ADC，在第一级子 ADC 中集成了随机抖动电路可提高动态性能，输出端口支持 1.8 V CMOS 和 LVDS 2 种模式，三线式 SPI 兼容型串行接口可配置芯片的各种功能。

硬件系统如图 4 所示。

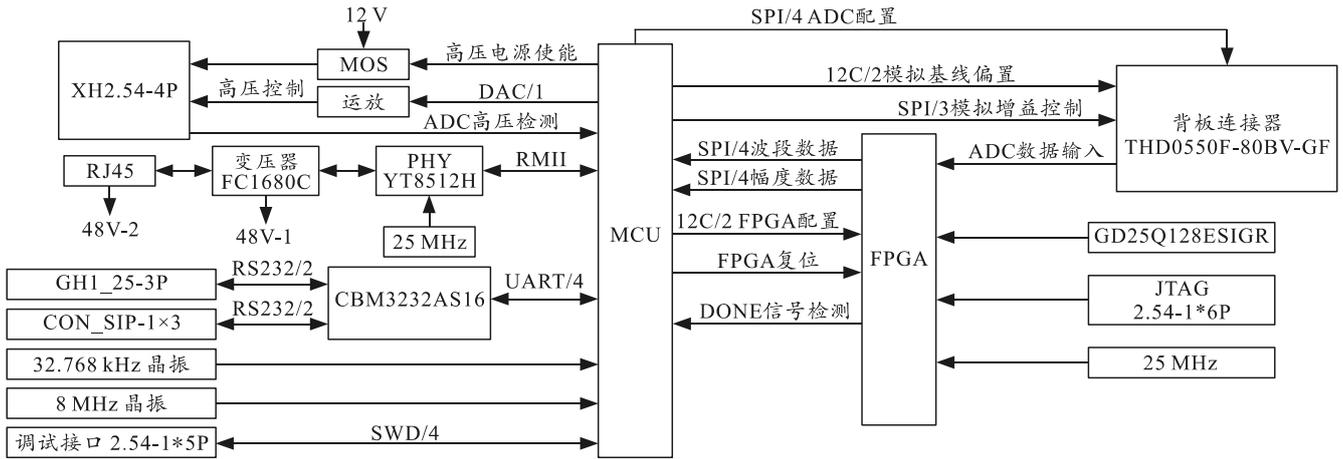


图 4 FPGA 及 MCU 硬件系统架构

MCU 选用中科芯的 QJ32F407VGT6 芯片，兼容 STM32F407VGT6 芯片，为国产特种工业级 MCU，主频为 168 MHz，拥有 6 个 U(S)ART 接口、3 个 I2C 接口、3 个 SPI 接口以及 CAN、网口等通信接口，外设资源丰富，性能强大。FPGA 为安路科技的 PH1A100GCG324 芯片，采用双 LUT5 结构，等效 LUT4 逻辑规模为 127 872，内置 212 个 DSP 单元，性能略优于 Xilinx 的 XC7A100T 芯片，使用安路科技自主开发的 FPGA 集成开发环境 TD，该软件包含完整的电路优化流程以及丰富的分析与调试工具，并提供良好的第三方设计验证工具接口。

### 1.3 算法设计

数字滤波成形算法是核信号数字处理的核心，目前常用的算法为梯形/三角成形、高斯成形、尖顶成形等。各种算法各有优势，在核信号处理中得到了实际应用<sup>[9-11]</sup>。课题中使用的滤波成形算法为墨西哥草帽小波成形算法。该算法基于对脉冲形状的判别，可剔除因异常噪声、异常弹道亏损或不良脉冲堆积而导致形状扭曲的不良脉冲，能够避免基线漂移，经实验验证可提高能量分辨率和峰值-康普顿比<sup>[12-13]</sup>。

一般情况下，将核脉冲信号视为单指数衰减信号，时域表达式为：

$$x(t) = Ae^{t/\tau_0}u(t) \tag{1}$$

式中  $A$  为信号的幅值。

$$u(t) = \begin{cases} 0 & t < 0 \\ 1 & t \geq 0 \end{cases} \tag{2}$$

假设信号的脉冲响应为：

$$h(t) = \left[ t^3/s^4 - 3t/s^2 + (1 - t^2/s^2)/\tau_0 \right] e^{-t^2/2s^2} \tag{3}$$

由线性时不变系统卷积定理可得系统的输出为：

$$y(t) = x(t) * h(t) \tag{4}$$

将上式离散化：

$$h[n] = \begin{cases} w_n = \left[ n^3/s^4 - 3n/s^2 + (1 - n^2/s^2)/\tau_0 \right] e^{-n^2/2s^2} & |n| = 0, 1, 2, \dots, M \\ 0 & |n| > M \end{cases} \tag{5}$$

$$y[n] = \sum_{i=-M}^M x[n-i]w_i \tag{6}$$

在信号的脉冲响应假设中， $h(t)$ 为二阶平稳函数，与线性基线  $y(t)=kt+b$  的卷积为 0，因此含有线性基线的核脉冲信号经滤波成形处理后基线恢复到 0，在一定程度上能够避免基线漂移。

## 2 测试实验及结果分析

### 2.1 算法仿真

为了进一步验证滤波成形算法的性能，构造了一段无噪声理想核信号进行算法仿真，输入信号如图 5 所示，该信号存在脉冲堆积和线性基线漂移，且原始基线幅度为 100。

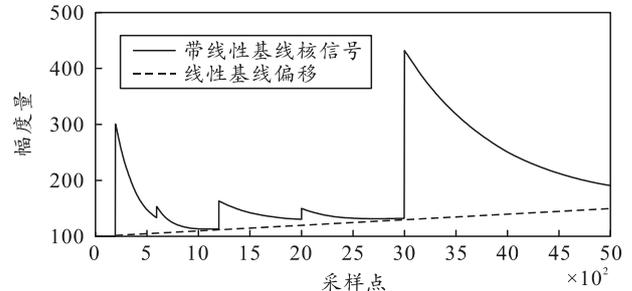


图 5 仿真输入信号

算法仿真输出结果如图 6 所示，成形后的信号基线变为 0 且消除了输入信号中的线性基线，同时对于存在脉冲堆积的部分也实现了分离，提取到了每个核脉冲信号的幅度信息。

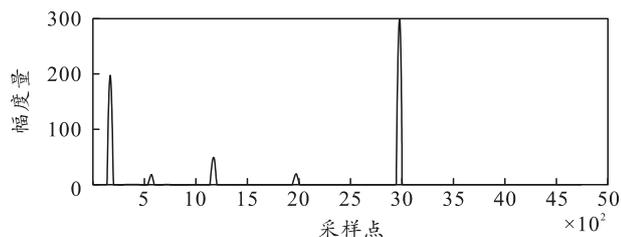


图6 仿真输出结果

对 ADC 采集到的实际核信号进行仿真，采集到的信号如图 7 所示。所采集到的核脉冲信号为负指数信号，基线不为 0 且具有一定的噪声。

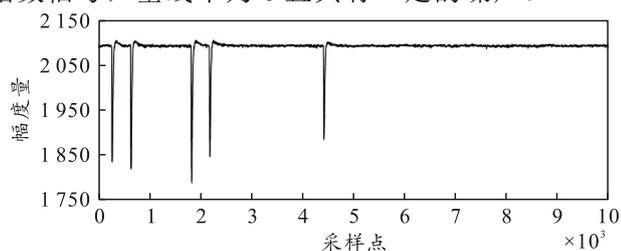


图7 ADC 采集信号

将采集到的实际信号作为信号输入进行算法仿真，仿真结果如图 8 所示。算法成功提取到了输入信号中的核脉冲信号，同时消除了输入信号中的基线信号，将输出信号转为基线为 0 的信号，便于后续信号幅值的提取。

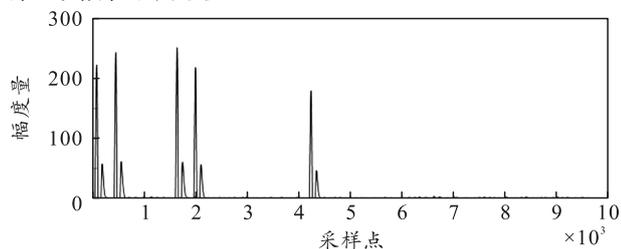


图8 ADC 信号仿真结果

2 种情况的仿真结果表明：该算法用于实际应用具有可行性，具有较好的性能优势，在一定程度上减少了核脉冲信号数字处理算法开发的复杂性。

## 2.2 能谱测试

实验条件为采用上海烁杰的管座式 NaI 探测器。探测器能量分辨率小于等于 8.5%，数字多道设定高压值为 660 V，总道数为 4 096 道，分别对 Co-60 和 Cs-137 点源进行能谱测试，得到的能谱图如图 9-10 所示。能谱图曲线平滑，特征峰明显，符合放射性元素能谱客观规律。利用 Cs-137 $\gamma$  源能谱图进行能量分辨率计算，能量分辨率为 8.2%，虽略低于采用 LTC2298、EP3C55F48417N 等非国产元器件搭建的数字多道能量分辨率 8.1%，但仍满足实际需要且降低了成本。

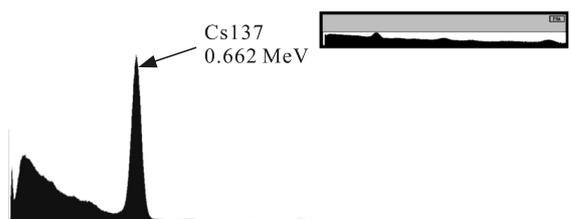


图9 Cs-137 能谱图

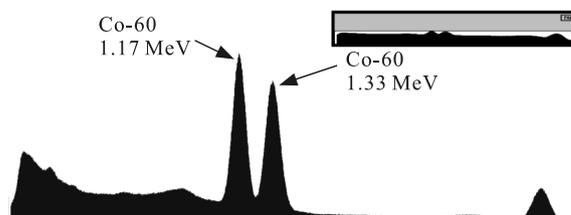


图10 Co-60 能谱图

此外，对设计的数字多道进行了短时稳定性测试，每隔 3 h 对 Cs-137 放射源进行一次能谱测试分析，共进行 8 次试验记录，测试连续工作时长不低于 24 h，实现结果如表 1 所示。8 次测试峰位道址平均值为 906 道，24 h 内峰位道址漂移为  $\pm 1$  道，性能较稳定，满足应用需求。

表1 24 h 短时稳定性测试

次数 $i$	全能峰位置道	次数 $i$	全能峰位置道
1	906	5	907
2	906	6	905
3	905	7	906
4	907	8	907

## 3 结论

笔者设计实现了一种基于国产设计软件和电子元器件的数字多道分析器，利用 Cs-137 进行能谱测试实验。结果表明：该设计能谱曲线平滑，特征峰明显，性能稳定，能够满足实际应用场景需要。

在实际测试应用过程中，系统整体功耗较大，出现发热的情况，需要进一步降低功耗同时考虑温度对数字多道性能的影响，作为下一步优化的方向。

## 参考文献：

- [1] 白宇. 核技术应用产业将进入加速发展的战略机遇期[N]. 中国电力报, 2025-3-10(2).
- [2] LABORATORYA N. Report of workshop on digital electronics for nuclear structure physics[R]. 2001.
- [3] YANTEL. nanoMCA-II\_Data\_Sheet[EB/OL]. [2025-06-20]. [https://www.yantel.com/wp-content/uploads/nanoMCA-II\\_Data\\_Sheet\\_Rev\\_02a.pdf](https://www.yantel.com/wp-content/uploads/nanoMCA-II_Data_Sheet_Rev_02a.pdf)
- [4] AMPTEK. MCA-8000D\_Digital\_Multichannel\_Analyzer [EB/OL]. [2025-06-20]. <https://www.amptek.com/products/multichannel-analyzers/mca-8000d-digital-multi-channel-analyzer>