

doi: 10.7690/bgzd.2023.03.010

基于国产 CPLD 的仲裁和事件记录卡设计

李 森, 袁 强, 唐 建, 秦友伦, 王浩宇

(中国兵器装备集团自动化研究所有限公司特种计算机事业部, 四川 绵阳 621000)

摘要: 针对某型号监控计算机对双机仲裁与事件记录的需求, 利用国产化 CPLD SM2210 与国产 Flash 存储器 SM25QH128 设计一种具有仲裁和事件记录功能的控制卡。通过检测监控计算机 CPU 的心跳信号、主备机切换申请信号、电源控制信号等实现双机的相互仲裁控制; 利用存储数据特征设计一种 Flash 智能续写算法, 实现 Flash 自动续写功能; CPU 通过 IIC 接口实现对事件的查询。结果表明: 该仲裁、事件记录卡能实现仲裁与事件记录功能, 且性能稳定。

关键词: 事件记录; 国产 CPLD; 国产 Flash; Flash 智能续写

中图分类号: TP274 **文献标志码:** A

Design of Arbitration and Event Record Card Based on Domestic CPLD

Li Sen, Yuan Qiang, Tang Jian, Qin Youlun, Wang Haoyu

*(Department of Special Computer, Automation Research Institute Co., Ltd.
of China South Industries Group Corporation, Mianyang 621000, China)*

Abstract: Aiming at the requirement of a certain type of monitoring computer for dual-computer arbitration and event record, a control card with arbitration and event record functions is designed by using domestically produced CPLD SM2210 and domestically produced Flash memory SM25QH128. The mutual arbitration control of the 2 computers is realized by detecting the heartbeat signal of the CPU of the monitoring computer, the application signal for switching between the main and standby computers, and the power supply control signal; an intelligent flash continuous writing algorithm is designed by using the characteristics of the stored data to realize the automatic flash continuous writing function; CPU through the IIC interface, the query of the event is realized. The results show that the arbitration and event record card can realize the functions of arbitration and event record, and the performance is stable.

Keywords: event record; domestic CPLD; domestic Flash; Flash intelligent continuation

0 引言

在双机冗余工作系统中, 主机与备机工作状态的控制、工作过程中事件的记录, 需要由第三方仲裁和事件记录卡完成与实现。仲裁卡通过实时检测主机与备机的心跳信号, 当主机出现故障时, 自动将主机切换为备机; 同时, 仲裁卡也实时检测软件切换申请, 当主板 CPU 发出主备切换申请时, 仲裁卡收到主备切换申请后, 完成对主机与备机的主备切换^[1]。为监测主机与备机的工作状态, 该板卡设计了事件记录功能, 通过检测主备机工作过程中产生的相应输出信号, 产生相应的事件, 并将该事件缓存在 CPLD 中, 然后通过 SPI 接口将事件存入外部 Flash 中。上位机可以通过 IIC 接口, 对仲裁、事件记录卡上存储的事件进行在线访问与读取, 实现对事件的查询功能, 便于分析双机冗余系统中, 主备机在工作过程中产生故障的原因。

1 系统总体设计

如图 1 所示, 仲裁和事件记录卡的总体结构由硬件系统与软件系统 2 部分组成。硬件系统主要包括: CPCI 接口、CPLD 电路、时钟电路、JTAG 下载电路、电源电路、复位电路、Flash 存储电路。软件系统主要包括: 仲裁处理模块、事件生成与缓存模块、事件存储控制模块、读写 Flash 模块、日期时间模块、IIC 通信仲裁模块以及 IIC 接口控制模块。

2 系统硬件设计

CPLD 仲裁、事件记录卡的硬件包括 CPLD 最小系统、CPCI 接口、电源电路和 Flash 电路等, 此处仅给出电源电路与 Flash 电路的硬件设计。电源电路采用 TI 公司的线性稳压电源芯片 TPS74401, 将输入的 5 V 电压转换为 3.3 V 与 2.5 V 电压, 为防止瞬时大电压对电路的损坏, 在 TPS74401 的输入

收稿日期: 2022-11-17; 修回日期: 2022-12-28

作者简介: 李 森(1993—), 男, 四川人, 硕士, 从事数字集成电路与特种电子研究。E-mail: 1694335941@qq.com。

级放置双极性的瞬态抑制二极管，用于保护电源电

路。Flash 存储电路采用国微 SM25QH128 芯片，用于存储产生的事件。整个电路的详细设计如图 2 所示。

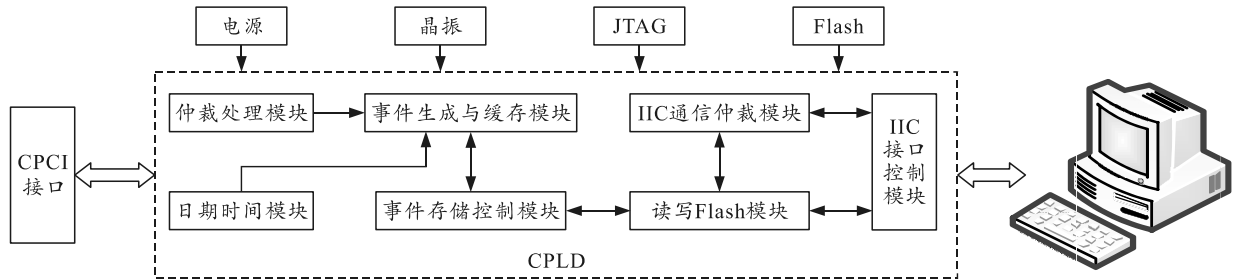


图 1 系统总体结构

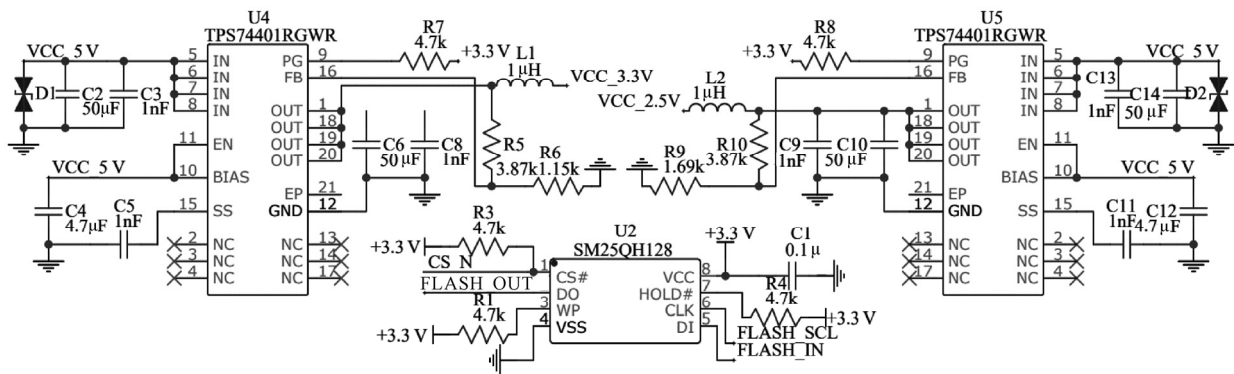


图 2 电源电路与 Flash 电路

3 系统软件设计

仲裁和事件记录卡整个软件系统全部在 CPLD 上实现，主要包括仲裁算法、IIC 通信协议、Flash 读写接口、事件存储控制算法等，下面分别对其设计进行详细阐述。

3.1 仲裁算法设计

双机冗余系统中，物理上分为 A、B 2 台计算机，在逻辑上分为主机与备机。主机与备机之间的仲裁切换分为手动主备切换、软件主备切换以及自动主备切换 3 种情况^[2]。手动主备切换是通过拨动机箱上的机械开关实现主机与备机的切换；机械开关分为主、备、自动 3 个档位，当开关位于主、备时，该计算机处于相应的主机与备机状态，当位于自动时，则其主备机状态由仲裁、事件记录卡给出的主备标识确定。软件主备切换的机制为：手动通过 CPU 向 CPLD 发送主备切换命令，当 CPLD 接收到主备切换命令且备机心跳正常时就切换主备标识，否则不予切换。自动主备切换是根据当前主机、备机的心跳信号，自动完成主备标识的切换。由于手动主备切换为纯物理切换，因此笔者的仲裁算法只讨论软件主备切换与自动主备切换 2 部分。软件主备切换与自动主备切换的需求为：

CPU 发出主备切换命令后，如果备机心跳正常

则发生主备切换，将主机切为备机、备机切为主机，否则不发生切换，保持当前的主备状态；

当主机心跳异常，备机心跳正常时，自动地将主机切为备机，备机切为主机；

当主机心跳异常，同时备机心跳也异常，则保持当前主备状态，不发生切换；

当 2 台机器心跳都异常时，先恢复正常的那台机器作为主机，另一台作为备机。

根据上述需求，对仲裁算法进行设计，其算法流程如图 3 所示。

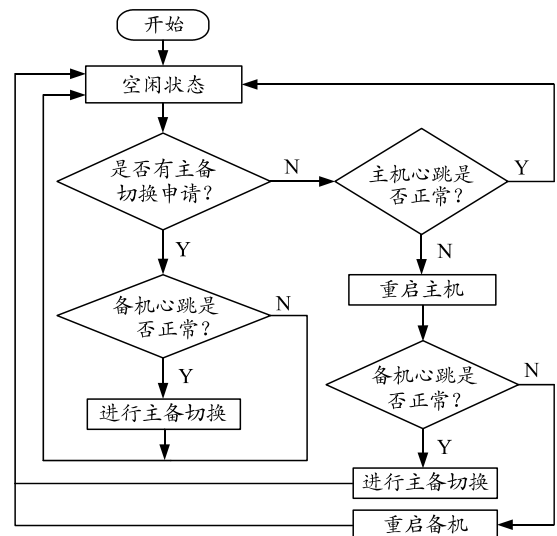


图 3 仲裁算法流程

3.2 事件生成与缓存模块设计

事件生成与缓存模块用于生成系统在工作过程中产生的所有事件，并对事件进行缓存，然后将事件写入 Flash 中。事件的格式如表 1 所示，由“时间+事件代码”2 部分组成，时间用于指示事件的产生时间，事件代码用于表明在该时刻产生的是哪种事件。

表 1 事件记录格式 bit

年	月	日	时	分	秒	事件代码
16	8	8	8	8	8	8

系统在工作的过程中，共产生 16 种事件，每一种事件的事件代码与对应的含义如表 2 所示。

表 2 事件代码与事件定义

事件代码	含义
0x01	上电开机
0x02	系统复位
0x03	A 机切为主，B 机切为备
0x04	A 机切为备，B 机切为主
0x05	A 机心跳异常
0x06	A 机故障
0x07	重启 A 机
0x08	A 机处于严重故障
0x09	A 机心跳恢复正常
0x0A	收到 A 机切换申请
0x0B	B 机心跳异常
0x0C	B 机故障
0x0D	重启 B 机
0x0E	B 机处于严重故障
0x0F	B 机心跳恢复正常
0x10	收到 B 机切换申请

3.3 IIC 通信协议设计

IIC 通信接口^[3-5]用于实现主板 CPU 与仲裁、事件记录卡之间的通信功能，具体事务包括：

1) 仲裁、事件记录卡的系统时间更新。

2) CPU 读取事件记录上传。在系统上电工作时，CPU 首先通过 IIC 接口向仲裁事件记录卡发出校时命令，更新 CPLD 的系统时间，CPLD 收到命令后，对仲裁、事件记录卡的系统时间进行更新。CPU 进行时间更新的通信协议如表 3 所示，可知该协议由起始位、控制字、年、月、日、时、分、秒、应答位与停止位组成，CPLD 在收到 CPU 发送完的每一个字段后，给出一位 ACK 应答位。

CPU 读取仲裁、事件记录卡上存储事件的通信协议如表 4 所示。首先 CPU 向 CPLD 发出读取事件的起始地址，该地址为 24 bit，分 3 个字节进行传输，CPLD 接收完每一个字节后，给出 1 位 ACK 应答，当地址接收完毕后，CPLD 向 CPU 传输该条事

件记录，按照年、月、日、时、分、秒、事件代码的先后顺序，将事件传送至 CPU。

表 3 时间更新通信协议

字段名称	含义
start	IIC 起始位
control_word[7:0]	时间更新控制字:0xA2
ACK	应答位
year_H[7:0]	年数值高段
ACK	应答位
year_L[7:0]	年数值低段
ACK	应答位
month[7:0]	月数据
ACK	应答位
day[7:0]	日数值
ACK	应答位
hour[7:0]	时数值
ACK	应答位
minute[7:0]	分数值
ACK	应答位
second[7:0]	秒数值
ACK	应答位
stop	IIC 停止位

表 4 事件读取通信协议

字段名称	含义
start	IIC 起始位
control_word[7:0]	时间更新控制字:0xA5
ACK	应答位
addr_H[7:0]	地址高段
ACK	应答位
addr_M[7:0]	地址中段
ACK	应答位
addr_L[7:0]	地址低段
ACK	应答位
year_H[7:0]	年数值高段
ACK	应答位
year_L[7:0]	年数值低段
ACK	应答位
month[7:0]	月数值
ACK	应答位
day[7:0]	日数值
ACK	应答位
hour[7:0]	时数值
ACK	应答位
minute[7:0]	分数值
ACK	应答位
second[7:0]	秒数值
ACK	应答位
event_code[7:0]	事件代码
stop	IIC 停止位

编写自定义 IIC 协议的逻辑代码，并对其进行仿真，时间更新的仿真结果如图 4 所示，在图中 send_ctrl_word 为时间更新的控制字 8'hA2，year_H、year_L、month、day、hour、minute、second 分别为 CPU 发送的时间数据，rec_time 为 CPLD 接收的数据，在图中发送了 2 次时间更新命令，由仿真结果可知结果正确。

sda_out	1'h1	[Timing Diagram]	
send_ctrl_word	8'...	8'ha2	
year_H	8'...	8'h07	8'h08
year_L	8'...	8'he5	8'he6
month	8'...	8'h0b	8'h0f
day	8'...	8'h1d	8'h2a
hour	8'...	8'h0d	8'h12
minute	8'...	8'h31	8'h35
second	8'...	8'h32	8'h19
rec_time	56'...	56'h07e50b1d0d3132 56'h08e60f2a123519	

图 4 时间更新仿真结果

事件读取的仿真结果如图 5 所示，其中 send_data 为 CPLD 发送的事件记录数据，CPU_rec_year_H、CPU_rec_year_L、CPU_rec_month、CPU_rec_day、CPU_rec_hour、CPU_rec_minute、CPU_rec_second、CPU_rec_code 为 CPU 接收的事件记录数据，由仿真结果可知结果正确。

sda	1'h1	[Timing Diagram]	
send_data	64'h...	64'he207e50b1d0d3132 64'h12345679abcdef55	
CPU_rec_year_H	8'h12	8'h00	8'he2
CPU_rec_year_L	8'h34	8'h00	8'h07
CPU_rec_month	8'h56	8'h00	8'he5
CPU_rec_day	8'h79	8'h00	8'h0b
CPU_rec_hour	8'hab	8'h00	8'h1d
CPU_rec_minute	8'hcd	8'h00	8'h0d
CPU_rec_second	8'hef	8'h00	8'h31
CPU_rec_code	8'h55	8'h00	8'h32

图 5 事件读取仿真结果

3.4 Flash 读写接口设计

Flash 芯片采用国微电子的 SM25QH128，该芯片为非易失性串行 NOR Flash，工作温度为 -55~+125℃，质量等级满足 GJB7400N1 级要求；其通信接口为标准 SPI 接口^[6-8]。对 Flash 的操作分为读写 2 种操作。NOR Flash 芯片的特点：如果写入数据的存储单元不为空，则向该单元写入数据将不会生效。对 Flash 进行读操作时，直接进行读取即可；对于写操作首先读取 Flash 的状态寄存器判断其 WIP 位是否为 0，同时判断 WEL 位是否为 1，如果满足条件，则向 Flash 芯片中写入存储数据。对 Flash 的读写操作流程如图 6 所示。

3.5 事件存储控制模块设计

事件存储控制模块用于将事件生成与缓存模块中产生的事件读取出来，然后写入 Flash 存储单元，每条事件的长度为 8 byte。由于 CPLD 掉电后无法保存最后一次写 Flash 存储单元的单元地址，因此在每次上电时需获取写入存储单元的起始地址^[9-13]。针对存储数据的特征设计一种智能续写算法，其实现原理为：每次上电时，首先对 Flash 中每条记录的首字节进行搜索读取，如果读取数据的

返回值为 FF，则该存储单元的地址即为本次事件存储的起始地址；否则继续搜索，直到搜索完成。当写入数据的起始地址获取完毕后，该控制模块就发出读取事件记录命令读取事件生成与缓存模块中产生的事件，然后将该事件记录通过 Flash 读写接口模块写入 Flash 中，整个事件存储控制模块的程序流程如图 7 所示。

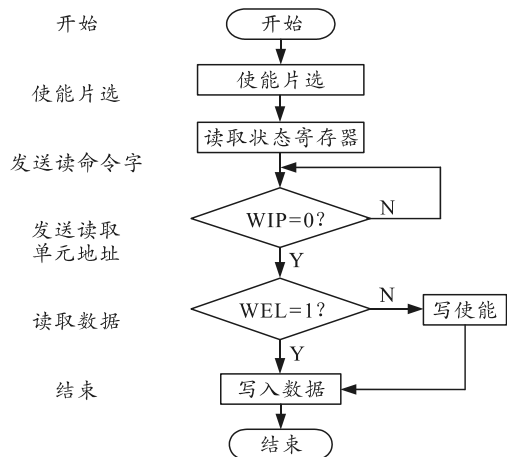


图 6 Flash 读写操作流程

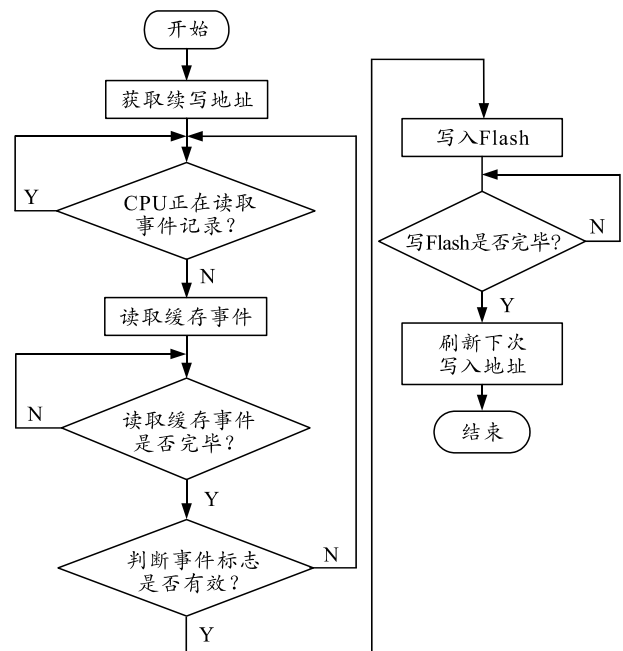


图 7 事件存储控制流程

3.6 系统实际验证

由于 CPLD 不能使用逻辑分析仪进行数据抓取，且为验证设计正确性的方便，在此利用 FPGA 对设计功能进行验证。将编写好的 Verilog 代码下载进入 FPGA，通过 IIC 调试工具向 FPGA 发送命令，利用 QuartusPrime 18.0 自带的逻辑分析仪 Signal TapLogic Analyzer 对 FPGA 接收的数据进行抓取显

示, 实际的验证结果如下所述。

3.6.1 时间更新验证结果

如图 8 所示为时间更新功能的验证结果, 其中 (a)为时间更新命令的发送界面; (b)为 FPGA 收到时间更新命令后, 更新的系统时间。由图 8(a)可知, 第 1 个字段为控制字 0xA2, 后面依次为 year[15:0]=0x07E6、month=0x0C、day=0x1F、hour=0x17、minute=0x3B、second=0x33(注: 发送数据的格式为 16 进制); 由图 8(b)可知, 接收到的数据为“2022 年 12 月 31 日 23:59:51”与设置的数据一致, 因此时间更新功能设计正确。

写入长度	8	读写开始地址	0	使用				
列地址	00	01	02	03	04	05	06	07
0X00	A2	07	E6	0C	1F	17	3B	33

(a) 时间更新发送数据

Name	Data	-16	-8	0
probe[255..112]	0			0
year set	2022			2022
month set	12			12
day set	31			31
hour set	23			23
minute set	59			59
second set	51			51
year	2022			2022
month	12			12
day	31			31
hour	23			23
minute	59			59
second	51			51

(b) 时间更新接收数据

图 8 时间更新验证结果

3.6.2 事件读取验证结果

为验证读取的事件记录是否为 Flash 中存储的真实数据, 首先利用专用的 Flash 读取工具, 读取 Flash 中的数据, 其部分数据截图如图 9 所示。接着通过发送事件读取命令读取 Flash 中的数据, 随机选取几组实验结果如图 10 所示, 分别为起始地址为 0x000000、0x000010、0x000070 的读取结果。将图 10 所得结果中的 event_record 与图 9 中相应地址处的事件记录进行对比, 可以发现: 读取的事件记录 event_record 的值, 与 Flash 存储器中相应地址处的值一致, 因此事件读取设计正确。

选择编程接口

万能读紧座 ICSP串行接口 ICSP_VCC Enable

Address	0	1	2	3	4	5	6	7
0000-0000:	07	E5	08	19	17	39	39	01
0000-0010:	07	E5	08	19	17	39	39	02
0000-0020:	07	E5	08	19	17	39	39	04
0000-0030:	07	E5	08	19	17	39	39	06
0000-0040:	07	E5	08	19	17	39	39	08
0000-0050:	07	E5	08	19	17	39	39	0A
0000-0060:	07	E5	08	19	17	39	39	0C
0000-0070:	07	E5	08	19	17	39	39	0F
0000-0080:	07	E5	08	19	17	39	39	11

图 9 Flash 实际存储数据

写入长度	8	读写开始地址	0				
列地址	00	01	02	03	04	05	06
0X00	A5	00	00	00			
Name	Data	-16	-8	0			
probe[255..200]	0			0			
flash addr	000000h			000000h			
event record	07E50B1917393901h			07E50B1917393901h			

(a) 读取起始地址 0x000000 的事件记录

写入长度	8	读写开始地址	0				
列地址	00	01	02	03	04	05	06
0X00	A5	00	00	10			
Name	Data	-16	-8	0			
probe[255..200]	0			0			
flash addr	000010h			000010h			
event record	07E50B1917393902h			07E50B1917393902h			

(b) 读取起始地址 0x000010 的事件记录

写入长度	8	读写开始地址	0				
列地址	00	01	02	03	04	05	06
0X00	A5	00	00	70			
Name	Data	-16	-8	0			
probe[255..200]	0			0			
flash addr	000070h			000070h			
event record	07E50B191739390Fh			07E50B191739390Fh			

(c) 读取起始地址 0x000070 的事件记录

图 10 事件记录读取结果

4 结束语

基于某型号监控计算机对仲裁与事件记录的需求, 笔者利用国产 CPLD SM2210 设计了仲裁、事件记录卡, 实现双机冗余系统中双机工作的仲裁切换以及事件记录功能; 解决了双机冗余系统对系统稳定性、可靠性的要求。通过实际测试该仲裁和事件记录卡发现, 其工作性能良好, 能够满足系统的工作要求。该仲裁和事件记录卡的软硬件设计可为其他仲裁和事件记录卡的设计提供一种参考方法, 有助于其他设计人员更深入的研究。

参考文献:

- [1] 秦友伦, 袁强, 涂炯, 等. 一种基于双机热备系统的仲裁切换方案[J]. 兵工自动化, 2015, 34(8): 56-58.
- [2] 梅勇, 袁强, 秦友伦. 自主可控计算机双机系统切换仲裁策略及实现[J]. 电子设计工程, 2017, 25(8): 183-186, 190.
- [3] 叶坤涛, 殷超, 吉俄木沙, 等. IIC 总线 IP 核的改进研究[J]. 电子器件, 2020, 43(3): 628-634.
- [4] 王红亮, 刘伟, 何少恒, 等. IIC 总线和 LVDS 在高速数据接口电路中的应用研究[J]. 计算机测量与控制, 2016, 24(7): 181-182, 186.