

doi: 10.7690/bgzd.2020.11.011

# 16 位改进型条件进位加法器电路设计

李彦平, 王文俊

(中国兵器装备集团自动化研究所有限公司特种产品事业部, 四川 绵阳 621000)

**摘要:** 为提升数字信号处理电路的性能, 对 16 位传统条件进位加法器 (conditional carry select adder, CCS) 的逻辑层布尔函数提出一种改进方案。使用 Verilog 语言和 Synopsys 对 16 位改进型和传统型条件进位加法器进行仿真分析。结果表明: 该方案能在加法器功耗下降的同时实现关键路径延迟的明显降低, 性能明显优于传统加法器。

**关键词:** 布尔函数; 16 位加法器; 条件进位加法器

**中图分类号:** TP332.2<sup>+</sup>1 **文献标志码:** A

## 16-bit Improved Conditional Carry Adder Circuit Design

Li Yanping, Wang Wenjun

(Department of Specialty Product, Automation Research Institute Co., Ltd. of China South Industries Group, Mianyang 621000, China)

**Abstract:** In order to improve the performance of digital signal processing circuit, an improved scheme of logic layer Boolean function of 16 bit traditional conditional carry select adder (CCS) is proposed. Verilog language and Synopsys are used to simulate 16 bit modified and traditional conditional carry adders. The results show that the proposed scheme can significantly reduce the critical path delay while reducing the power consumption of the adder, and its performance is significantly better than that of the traditional adder.

**Keywords:** Boolean function; 16-bit adder; conditional carry adder

### 0 引言

随着对数字信号处理能力要求的不断提高, 设计一个高性能高灵活性的加法器显得尤为重要。在信号处理的各项运算操作中, 加法是最常用的运算操作<sup>[1]</sup>; 因此, 对加法器的优化是提升计算性能的主要途径。

加法器的性能优化主要有降低功耗、提升运算速度(降低延迟)2 个方向。针对二者的优化可以在逻辑层或者电路层上进行: 电路层的优化着眼于改变晶体管的尺寸以及电路的拓扑连接, 侧重于功耗的降低<sup>[2-3]</sup>; 逻辑层的优化着眼于重新安排布尔方程以得到一个快速低延迟的进位链, 侧重于延迟的降低<sup>[4]</sup>。加法器的功耗和延迟性能总是呈现负相关影响, 因此, 对加法器的性能评价主要从功耗、延迟和功耗延迟积 (PDP) 3 个方面进行。

笔者主要对加法器逻辑层进行优化, 在对传统条件进位加法器进行研究的基础上, 提出对进位链的优化改进方案, 最终实现加法器在功耗小幅下降的同时, 延迟显著降低。

### 1 传统条件进位加法器逻辑分析

如图 1 所示, 传统的 16 位 CCS 加法器由 4 个

电路结构完全相同的 4 位加法器连接而成<sup>[5]</sup>, 即 4×4 位的加法器。在此针对 4 位加法器结构分析即可, 不再对 16 位 CCS 加法器结构赘述。4 位 CCS 加法器的电路如图 2 所示。

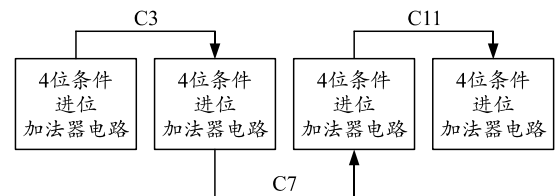


图 1 16 位传统条件进位加法器结构

加法器逻辑可以分为“进位输出”与“和输出”2 个逻辑部分。对于传统 CCS 而言, 因其与输出和进位输出电路结构几乎一样, 所以对它的优化关键在于对进位电路的改进。根据图 2, 可得到 4 位传统条件进位加法器进位电路算法如下:

1) 当  $C_{in}=1$  时, 可以得到:

$$C_0 = R_0 \equiv C_0. \quad (1)$$

当  $C_{in}=0$  时, 可以得到:

$$C_0 = G_0 \equiv C_0. \quad (2)$$

2) 对于  $C_1$ , 当  $C_{in}=1$  可以得到:

$$C_1 = \overline{C_0}G_1 + C_0R_1 = \overline{R_0}G_1 + R_0R_1 \equiv C_1. \quad (3)$$

收稿日期: 2020-06-26; 修回日期: 2020-08-09

作者简介: 李彦平(1987—), 男, 四川人, 学士, 工程师, 从事特种计算机、专用仪控系统研究。E-mail: 18281598034@163.com。

当  $C_{in}=0$  可以得到：

$$C_1 = \overline{C_0}G_1 + C_0R_1 = \overline{G_0}G_1 + G_0R_1 \equiv C_1 \quad (4)$$

3) 对于  $C_2$ ，当  $C_{in}=1$  可以得到：

$$C_2 = \overline{C_1}G_2 + C_1R_2 = \overline{R_0G_1 + R_0R_1 \cdot G_2 + (\overline{R_0}G_1 + R_0R_1)R_2} \equiv C_2 \quad (5)$$

当  $C_{in} = 0$  可以得到：

$$C_2 = \overline{C_1}G_2 + C_1R_2 = \overline{G_0G_1 + G_0R_1 \cdot G_2 + (\overline{G_0}G_1 + G_0R_1)R_2} \equiv C_2 \quad (6)$$

4) 对于  $C_3$  也有同样的结果，当  $C_{in}=1$  时，有

$$C_3 = \overline{C_2}G_3 + C_2R_3 = \overline{R_0G_1 + R_0R_1 \cdot G_2 + (\overline{R_0}G_1 + R_0R_1)R_2 \cdot G_3 + [\overline{R_0}G_1 + R_0R_1 \cdot G_2 + (\overline{R_0}G_1 + R_0R_1)R_2]} R_3 \equiv C_3 \quad (7)$$

当  $C_{in}=0$  时，有

$$C_3 = \overline{C_2}G_3 + C_2R_3 = \overline{G_0G_1 + G_0R_1 \cdot G_2 + (\overline{G_0}G_1 + G_0R_1)R_2 \cdot G_3 + [\overline{G_0}G_1 + G_0R_1 \cdot G_2 + (\overline{G_0}G_1 + G_0R_1)R_2]} R_3 \equiv C_3 \quad (8)$$

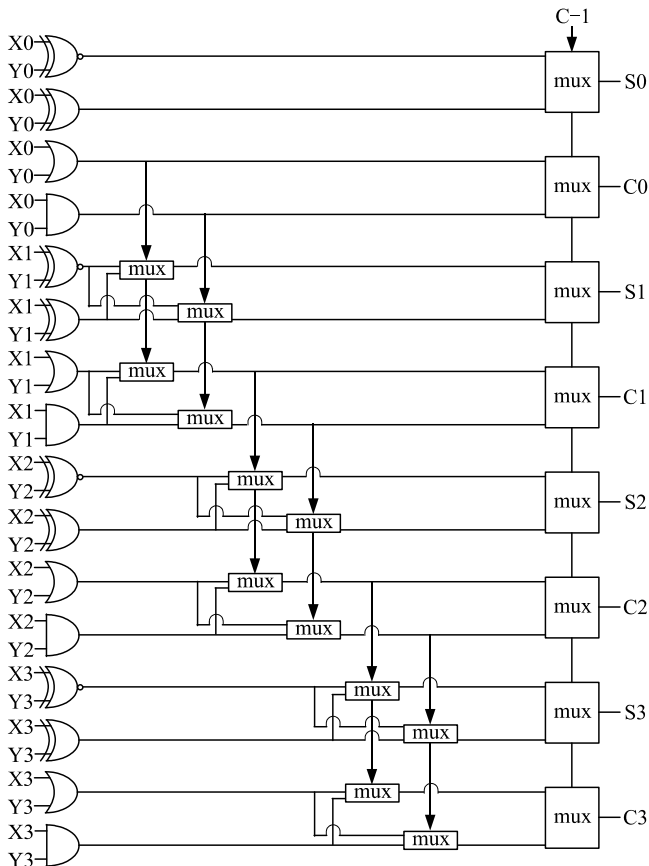


图 2 4 位传统条件进位加法器的门级电路结构

其中： $X_i$  和  $Y_i$  分别是加法器 2 个输入的第  $i$  位； $C_i$

是第  $i$  位求和后产生的进位信号； $S_i$  是第  $i$  位的和输出； $G_i$  和  $R_i$  称作进位产生因子和进位传播因子， $G_i = X_iY_i$ ， $R_i = X_i \oplus Y_i$ 。

对于和输出信号  $S_i$  有同进位信号  $C_i$  基本相同的结论，区别只不过是式(1)–(8)中  $G_i$  换成  $X_i \oplus Y_i$ ， $R_i$  换成  $X_i \odot Y_i$  即可，在此不再详述。

## 2 改进型条件进位加法器逻辑层优化设计

加法器的优化主要针对逻辑层和电路层：逻辑层优化，主要对加法器布尔函数重组，可达到减少逻辑门延迟，支持可重构的优化效果；电路层优化，主要对各门电路进行结构改进，以达到减少晶体管数目、降低静态功耗的优化效果<sup>[6]</sup>。

笔者主要针对传统条件进位加法器的逻辑层优化。对式(1)–(8)的进位输出算法布尔函数做如下优化：

1) 当  $C_{in}=1$  时，可以得到：

$$C_0 = \overline{C_{in}}G_0 + C_{in}R_0 = R_0 \quad (9)$$

当  $C_{in}=0$  时，

$$C_0 = \overline{C_{in}}G_0 + C_{in}R_0 = G_0 \quad (10)$$

2) 对于  $C_1$ ，当  $C_{in}=1$  可以得到：

$$C_1 = \overline{C_0}G_1 + C_0R_1 = \overline{R_0}G_1 + R_0R_1 \equiv C_1 \quad (11)$$

当  $C_{in}=0$  可以得到：

$$C_1 = \overline{C_0}G_1 + C_0R_1 = \overline{G_0}G_1 + G_0R_1 \equiv C_1 \quad (12)$$

3) 对于  $C_2$ ，当  $C_{in}=1$  可以得到：

$$C_2 = \overline{C_1}G_2 + C_1R_2 = \overline{R_0G_1 + R_0R_1 \cdot G_2 + (\overline{R_0}G_1 + R_0R_1)R_2} \equiv C_2 \quad (13)$$

当  $C_{in}=0$  可以得到：

$$C_2 = \overline{C_1}G_2 + C_1R_2 = \overline{G_0G_1 + G_0R_1 \cdot G_2 + (\overline{G_0}G_1 + G_0R_1)R_2} \equiv C_2 \quad (14)$$

4) 对于  $C_3$  也有同样的结果，当  $C_{in}=1$  时，有

$$C_3 = \overline{C_2}G_3 + C_2R_3 = \overline{R_0G_1 + R_0R_1 \cdot G_2 + (\overline{R_0}G_1 + R_0R_1)R_2 \cdot G_3 + [\overline{R_0}G_1 + R_0R_1 \cdot G_2 + (\overline{R_0}G_1 + R_0R_1)R_2]} R_3 = \overline{R_0G_1 + R_0R_1 \cdot (G_2G_3 + G_2R_3) + (\overline{R_0}G_1 + R_0R_1)(\overline{R_2}G_3 + R_2R_3)} \quad (15)$$

当  $C_{in}=0$  时，有

$$C_3 = \overline{C_2}G_3 + C_2R_3 = \overline{\overline{G_0G_1 + G_0R_1} \cdot G_2 + (\overline{G_0G_1 + G_0R_1}R_2) \cdot G_3 + \left[ \overline{G_0G_1 + G_0R_1} \cdot G_2 + ((\overline{G_0G_1 + G_0R_1})R_2) \right] R_3} + \overline{G_0G_1 + G_0R_1} \cdot (\overline{G_2G_3 + G_2R_3}) + (\overline{G_0G_1 + G_0R_1})(\overline{R_2G_3 + R_2R_3}) \quad (16)$$

5) 对于  $C_4$ , 当  $C_{in}=1$  时可以得到:

$$C_4 = \overline{C_3}G_4 + C_3R_4 = \overline{C_3(\text{if } C_{in}=1) \cdot G_4 + C_3(\text{if } C_{in}=1)R_4} \quad (17)$$

当  $C_{in}=0$  时,

$$C_4 = \overline{C_3}G_4 + C_3R_4 = \overline{C_3(\text{if } C_{in}=0) \cdot G_4 + C_3(\text{if } C_{in}=0)R_4} \quad (18)$$

按照上述推导步骤, 可以得到  $C_5 \sim C_7$  的进位输出电路表达式, 在此不再论述。对于和输出结构来说, 与前面分析的传统条件进位加法器几乎一样, 已知其“和”的计算可由下式得到:

$$S_i = X_i \oplus Y_i \oplus C_{i-1} = \overline{C_{i-1}}(X_i \oplus Y_i) + C_{i-1}(X_i \odot Y_i) \quad (19)$$

同样, 和进位电路的结构采用同步选择、同步计算的方法, 可使加法器省去异或门逻辑延迟, 使关键路径缩减至少 2 个传输门的延迟。综上所述, 可得到优化改进后的 8 位 CCS 的电路结构如图 3 所示。如图 4 所示, 16 位改进型 CCS 电路即是 2 个 8 位 CCS 组合。

可以看到: 传统 CCS 进位结构的关键路径  $C_0 \sim C_3$  有 5 个逻辑门延迟, 且进位每增加 4 位, 逻辑门延迟将增加 1, 即对于 16 位加法器而言, 其关键路径  $C_0 \sim C_{15}$  有 8 个逻辑门延迟。通过优化以后, 关键路径  $C_0 \sim C_7$  有 6 个逻辑门延迟, 且进位每增加 8 位, 逻辑门延迟增加 1, 即对于 16 位加法器而言, 其关键路径  $C_0 \sim C_{15}$  有 6 个逻辑门延迟。相比之下, 16 位的改进型 CCS 比传统的 CCS 在进位上节省了 2 个逻辑门延迟, 当进行加法器扩展时, 改进型随进位位数增高逻辑门延迟的增加为传统型的 50%。另外, 改进型的加法器电路结构规则, 采用模块化堆叠设计, 布线比较简单, 有利于版图的规则化。

综上所述: 改进型的加法器虽然结构更为复杂 (可能导致功耗增加), 但是其延迟性能和应用的灵活性从理论上都显著高于传统型的加法器。

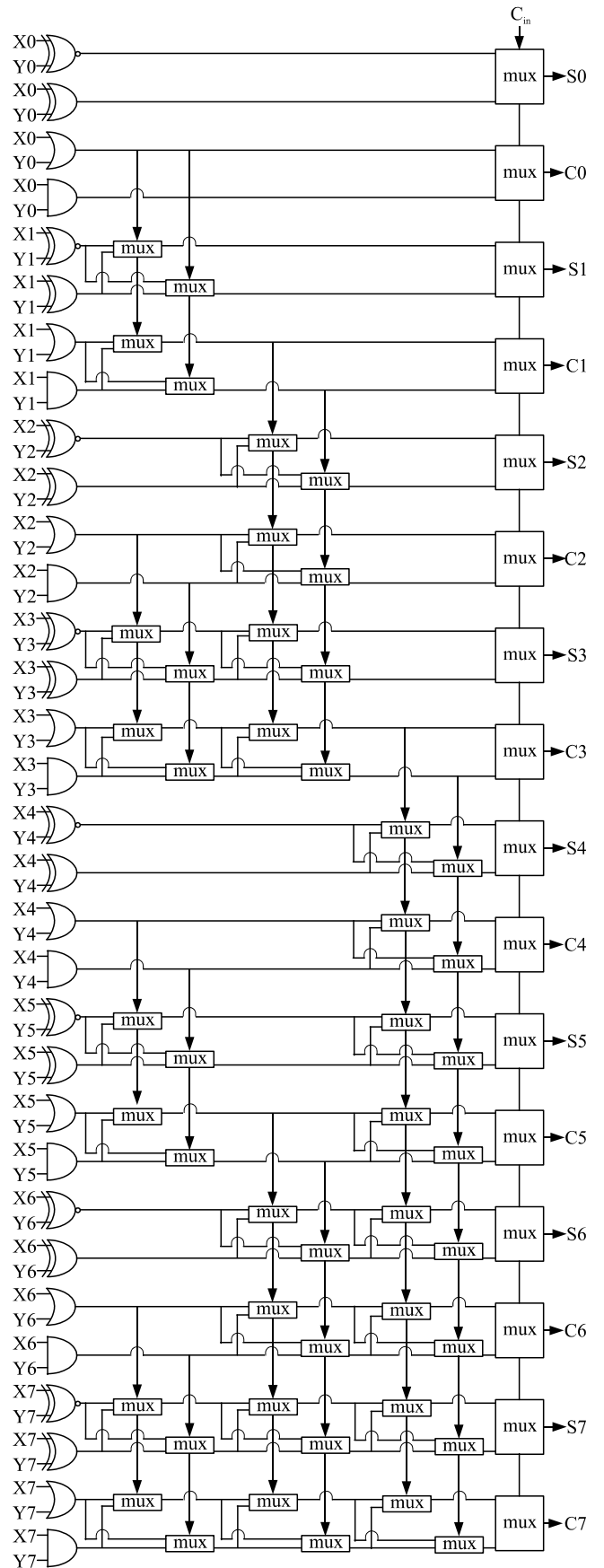


图 3 8 位改进型条件进位选择加法器结构

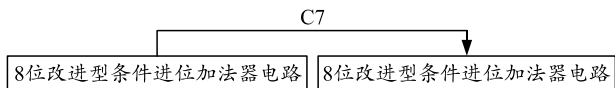


图 4 16 位改进型条件进位加法器结构

### 3 仿真结果

对加法器的延迟、功耗进行仿真，使用 Verilog 语言和 Synopsys 对上述 16 位改进型和传统型条件进位加法器进行描述和综合，仿真软件采用业界普遍使用的 HSPICE，仿真库采用 hv016\_v0p2.lib。

从图 3 和图 4 可以看出，16 位改进型条件进位加法器的关键路径为第一级进位输入到最后一级和输出。给进位输入一个脉冲信号可以测出关键路径延迟，仿真结果如图 5 所示。结果表明，改进型的加法器关键路径延迟为 0.8 ns。

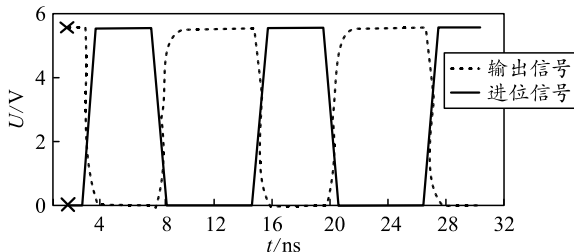


图 5 改进型加法器关键路径延迟仿真

16 位传统型的加法器关键路径为第一级进位输入到最后一级和输出，其延迟仿真结果如图 6 所示，延迟为 2.6 ns。

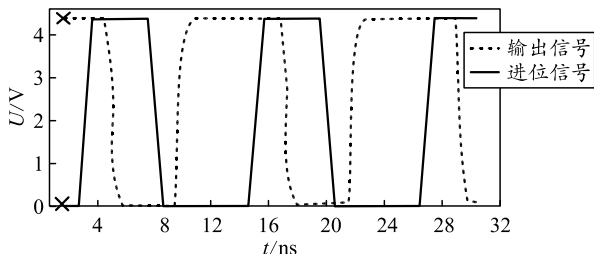


图 6 传统型加法器关键路径延迟仿真

可以看出，通过链优化的 16 位改进型条件进位加法器在关键路径的延迟上比 16 位传统型条件进位加法器下降 70%。其对比如图 7 所示。

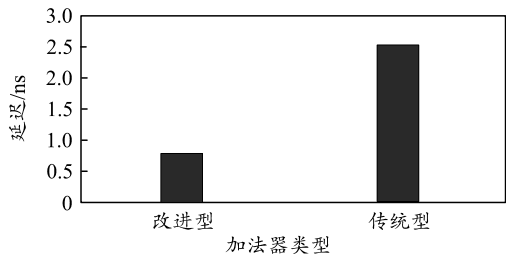


图 7 16 位改进型和传统型关键路径延迟对比

功耗方面，在温度 0 °C、电压 1.8 V 条件下，16 位改进型条件进位加法器的功耗为 841  $\mu$ W，16

位传统型条件进位加法器的功耗为 882  $\mu$ W。改进型加法器功耗下降 5%。其对比如图 8 所示。

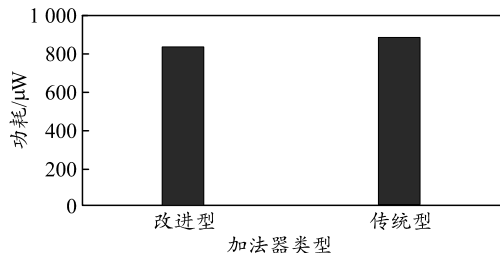


图 8 16 位改进型和传统型功耗对比

综合仿真结果，进一步计算功耗延迟积及其提升如表 1 所示。

表 1 加法器性能参数

加法器	功耗/ $\mu$ W	延迟/ns	PDP/fJ	PDP 改进/%
改进型	841	0.8	672.8	—
传统型	882	2.6	2 293.2	70.7

由表可知：该设计方案在功耗没有明显增加的情况下（实际上略微下降），实现了延迟时间显著降低，综合性能 PDP 改善达 70.7%，即改进型加法器比传统型加法器性能有明显提升。

### 4 结束语

该款加法器可应用到高性能 DSP 处理器，可以满足 DSP 运算的灵活性和高性能，并且具有较小的功耗。同时，该款加法器也适合多媒体、图形处理等专用处理器的应用。此外，该 16 位加法器可以通过级联的方式构成更大字长的加法器，如 32 位或者 64 位条件进位选择加法器。通过在 HSPICE 中的仿真，该加法器的关键路径延迟为 0.8 ns，如果采用动态逻辑，该加法器将有更高的性能。

### 参考文献：

- [1] CHANG T Y, HSIAO M J. Carry-select Adder Using Single Ripple-carry Adder[J]. Electronic Letters, 1998, 34(22): 6.
- [2] 杨玲. 基于电路级的低功耗关键技术研究[D]. 上海: 上海交通大学, 2010.
- [3] LEE H, SOBELMAN E. New XOR/XNOR and full adder circuits for low voltage, low power applications[J]. Microelectronics Journal, 1998, 29(8): 13-14.
- [4] 詹文法, 马俊, 谢莹, 等. 多位快速加法器的设计[J]. 合肥工业大学学报(自然科学版), 2005, 28(10): 55-57.
- [5] 马鸿, 李振伟, 彭思龙. 数字信号处理器中高性能可重构加法器设计[J]. 计算机工程, 2009, 35(12): 1-4.
- [6] 周程建, 周克栋, 赫雷, 等. 采用 SG3525A 和 AT89C51 的直流高压脉冲电源电路设计[J]. 兵工自动化, 2019, 38(12): 16-19.