

doi: 10.7690/bgzdh.2019.09.010

## 基于 FPGA 的雷达后端电路设计与实现

胡欣<sup>1</sup>, 魏龙<sup>1</sup>, 陈怡君<sup>2</sup>

(1. 陆装驻重庆地区军代局驻广元地区军代室, 四川 广元 628000; 2. 西南科技大学国防科技学院, 四川 绵阳 621010)

**摘要:** 为降低交通事故的发生率, 设计一种基于现场可编辑门阵列的雷达后端电路方案。阐述雷达后端电路主要实现的功能, 对雷达后端电路进行分解, 对信号采集电路、FPGA 电路、电源电路、DDS 电路进行分析, 实现毫米波雷达后端数字处理板的设计, 并通过车辆进行外场测试。测试结果表明: 该系统能够改善雷达探测的实时性, 保障驾驶员的行驶安全。

**关键词:** 雷达; 后端电路; 现场可编辑门阵列(FPGA)

**中图分类号:** TP202 **文献标志码:** A

## Design and Implementation of Radar Back-end Circuit Based on FPGA

Hu Xin<sup>1</sup>, Wei Long<sup>1</sup>, Chen Yijun<sup>2</sup>

(1. Military Representative Office of the Army Armament Department in Guangyuan District, Chongqing Regional Military Representative Bureau, Guangyuan 628000, China; 2. School of National Defense Science & Technology, Southwest University of Science & Technology, Mianyang 621010, China)

**Abstract:** In order to reduce the incidence of traffic accidents, this paper designs a radar back-end circuit scheme based on field editable gate array. This paper describes the main functions of radar back-end circuit, decomposes the radar back-end circuit, analyzes the signal acquisition circuit FPGA circuit power circuit DDS circuit, realizes the design of millimeter-wave radar back-end digital processing board, and carries out field test through vehicles. The test results show that the system can improve the real-time performance of radar detection and ensure the safety of drivers.

**Keywords:** radar; back-end circuit; field-programmable gate array(FPGA)

### 0 引言

根据交通部的数据, 2016 年全国交通事故数量达 864.3 万起, 造成 6.3 万人死亡, 数十亿财产损失。研究表明: 提前 1.5 s 警示, 就可以减少 90% 的前追尾事故, 而事故前 1.5 s 作出反应, 就可以减少 70% 的人员死亡及 68% 的人员受伤; 因此, 长距离、高实时性、可精准探测的车载预警雷达已经成为驾驶员的需求<sup>[1]</sup>。现场可编辑门阵列(field-programmable gate array, FPGA)具有 I/O 口丰富、数据处理速度快、灵活度高的优点, 作为毫米波雷达后端数据处理板芯片的解决方案, 可改善雷达信号处理的实时性和准确性, 实现毫米波雷达的实时精准探测<sup>[2]</sup>。

### 1 雷达后端电路方案

雷达后端电路主要实现以下功能: 首先, 对接收到的 2 路雷达回波基带复信号进行程控放大, 利用 ADC 模块同步采集; 然后, 将采集的数字信号进行分析处理后, 以特定数据帧的格式上传至外部接口; 最后, 通过上位机对得到的数据进行分析,

得到更直观的显示结果。如图 1 所示, 硬件设计采用一片 FPGA 芯片完成对各种外设和接口的控制, 同时完成对回波数据的时频分析, 主要由程控增益放大器(programmable gain amplifier, PGA)芯片、ADC 芯片、DDS 芯片、接口控制芯片、FPGA 芯片、存储芯片等组成。其中: PGA 芯片选用双路程控增益放大芯片 LTC6912; ADC 选用双路 3MSPS 同步采样保持, 14 bit 的 LTC1407A-1 芯片; E2PROM 选用 128 Mbit 并口 NOR 闪存。PCB 采用 4 层板, 提供 50 MHz 板载时钟, 以及 RS232 和 RJ45 等接口。

雷达后端电路主要分解为 4 个部分: 双路数据的同步放大与采集、信号的分析与处理、通信接口和电源以及 DDS 电路。后端的控制器和信号处理器都由 FPGA 来担任, 可以说是雷达后端的单芯片解决方案。

### 2 雷达后端电路设计

#### 2.1 信号采集电路

信号采集电路主要完成对雷达 IF 信号的调理和 ADC 转换。信号的调理主要是对信号的低通滤

收稿日期: 2019-07-14; 修回日期: 2019-07-31

作者简介: 胡欣(1987—), 男, 四川人, 硕士, 工程师, 从事雷达系统技术及数字图像处理方面研究。E-mail: medow5@163.com。

波和放大，由程控增益放大器 (programmable gain amplifier, PGA) 和外围电路来完成。ADC 转换主要

由 ADC 芯片在 FPGA 控制下完成。双路信号同步采集电路如图 2 所示。

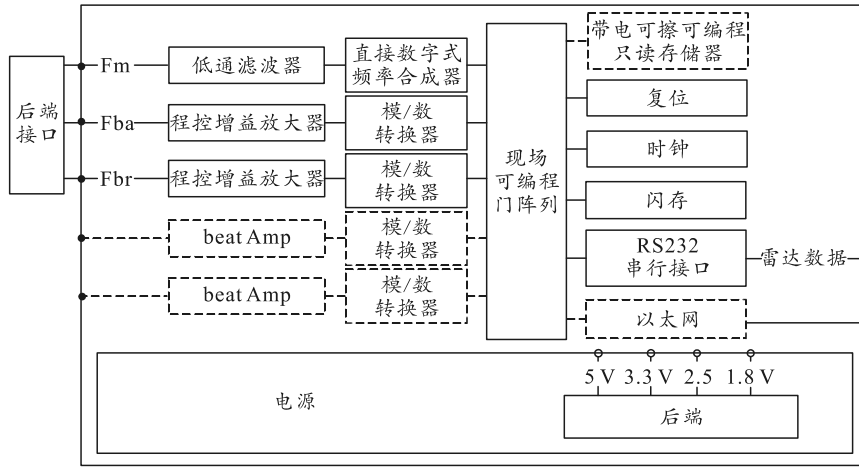


图 1 雷达后端电路

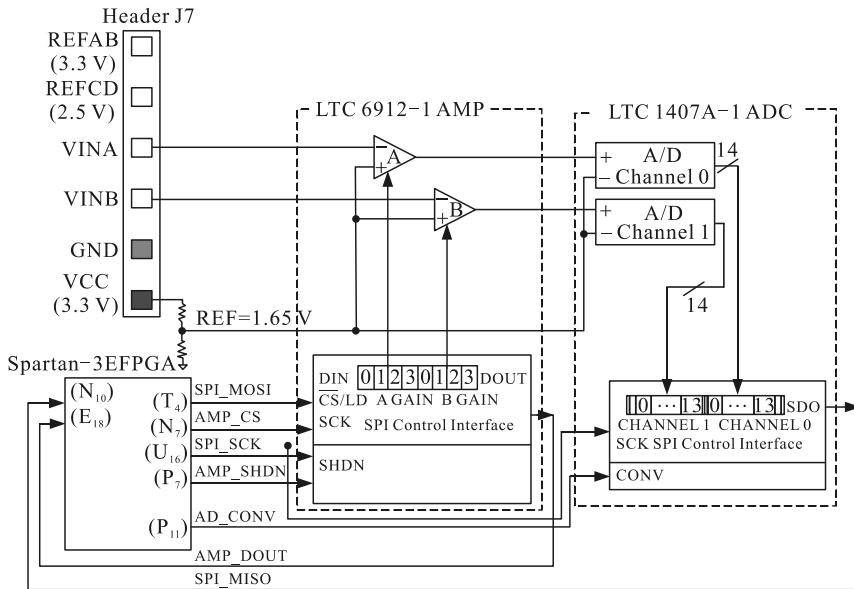


图 2 双路信号同步采集电路

PGA 完成对前端送来的零中频信号进行程控放大，以便模数转换。考虑到零中频信号 I/Q 通道的一致性和电路设计的灵活性，PGA 芯片选用凌特公司的双路程控增益放大芯片 LTC6912<sup>[3]</sup>。其主要特点如下：

- 1) 单端双路可编程增益放大器；
- 2) 含 3 根 SPI 总线接口；
- 3) 级联输入输出；
- 4) 最大偏移电平 2 mV；
- 5) 低增益误差，低漂移；
- 6) 输入噪声 12.6 nV(低噪)；
- 7) 通道之间的最大增益匹配 0.1 db。

ADC 选用凌特公司的 LTC1407A-1 芯片。其主要特点如下：

- 1) 14 比特位，双路同步差分输入 3 M 采样 ADC，每一个通道 1.5 M；
- 2) 低功耗 14 mW；
- 3) 单极性输入范围 0~2.5；
- 4) 3 线 SPI 接口；
- 5) 3 V 单电源操作；
- 6) MSOP-10 封装。

数据采集电路原理如图 3 所示，PGA 芯片和 ADC 芯片采用 SPI 总线 (SDI、SDO、SCK) 与 FPGA 相连，SPI 总线采用上下拉电路的设计以提升响应速度。PGA 输出到 ADC 输入端连线间增加了一个 470 Ω 的电阻，用以消除哑铃振荡。整个电路由 3.3 V 模拟电源供电。

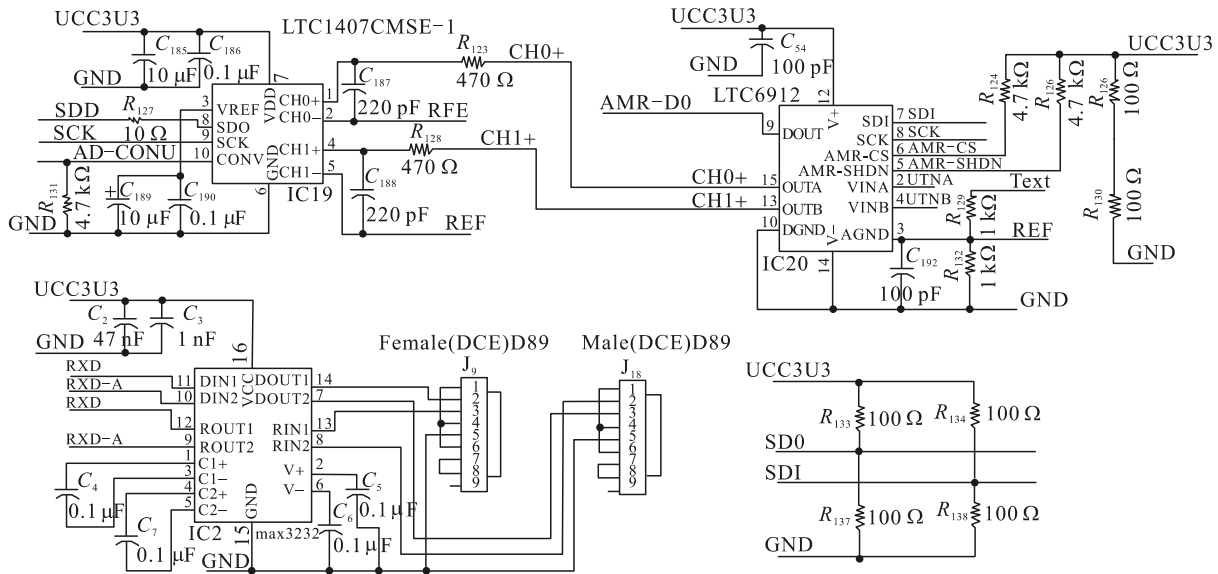


图 3 数据采集电路原理

### 2.2 FPGA 电路

FPGA 是雷达后端的板外设控制器和信号处理器，不仅需要有丰富的逻辑资源、存储资源和运算资源，而且需提供各种高速的 I/O 接口。FPGA 芯片选用 Xilinx 公司生产的 Spartan-3E。Spartan-3 系列的开发芯片主要针对于低成本、大容量的电子设计而研制，其内部资源如图 4 所示。其中 XC3S500E 芯片不仅具有 50 万门的规模，而且具有丰富的计算资源和逻辑资源，能够满足设计的要求。

Device	CLB Rows	CLB Columns	CLB Total(1)	Slices	LUTs/ Flip-Flops	Equivalent Logic Cells	RAM16/SRL16	Distributed RAM Bits
XC3S100E	22	16	240	960	1 920	2 160	960	15 360
XC3S250E	34	26	612	2 448	4 896	5 508	2 448	39 168
XC3S500E	46	34	1 164	4 656	9 312	10 476	4 656	74 496
XC3S1 200E	60	46	2 168	8 672	17 344	19 512	8 672	138 752
XC3S1 600E	76	58	3 688	14 752	29 504	33 192	14 752	236 032

图 4 FPGA 芯片资源

FPGA 配置芯片选择 XCF04S，根据芯片资料设计 FPGA 配置电路如图 5 所示，FPGA 和配置芯片 XCF04S 采用菊花链连接，通过 JTAG 接口采用从动模式可以完成对 FPGA 或 XCF04S 芯片的烧写。配置电路供电有 3.3 V 芯片电压和 2.5 V 辅助电压。

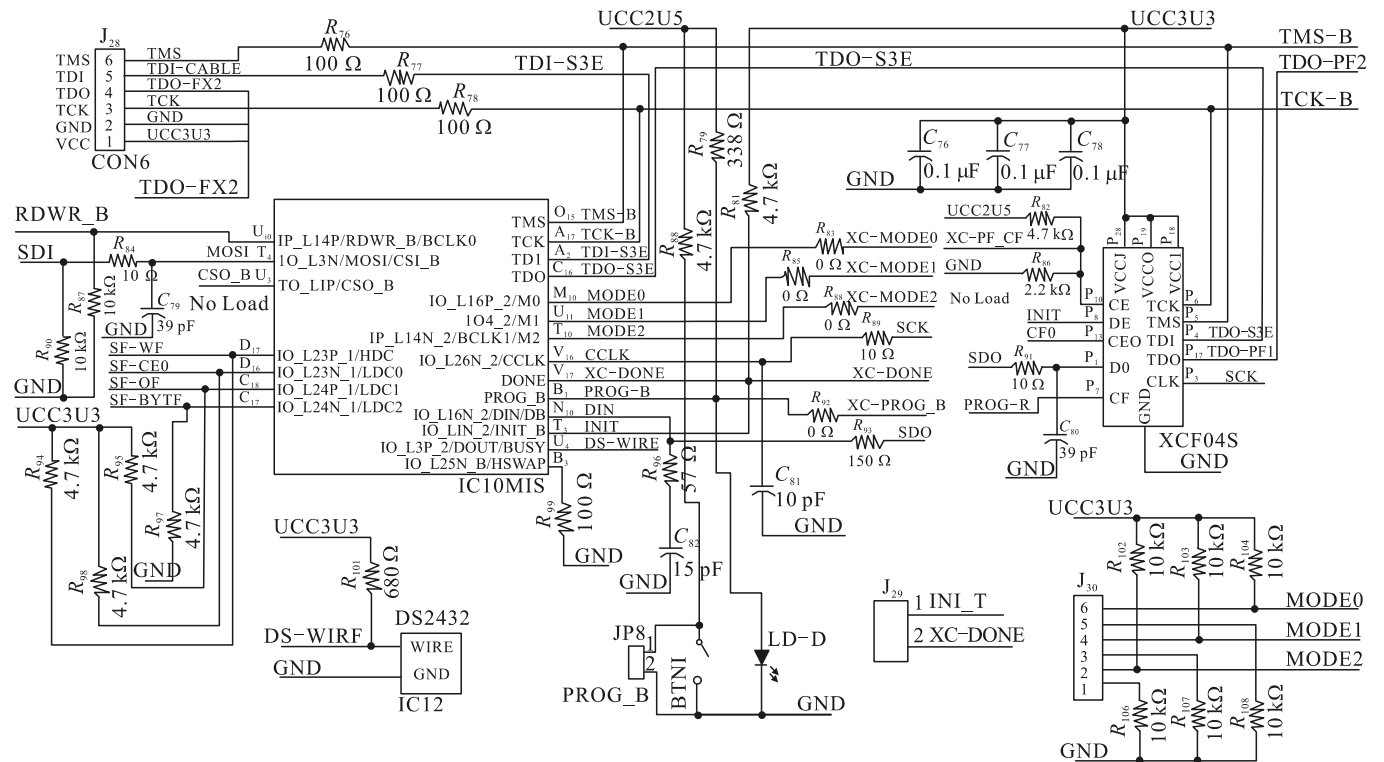


图 5 FPGA 配置电路原理

### 2.3 DDS 电路

雷达所需 FMCW 波形主要由 FPGA 控制 DDS 芯片产生, 产生 60 MHz 扫频信号, 然后送至与其连接的雷达射频收发电路, 进而直接 400 倍频到 24 GHz。DDS 芯片的相位噪声和调频波形的线性度直接影响雷达射频发送信号的质量, 以及雷达中频信号的质量。通过指标综合分析, 选择模拟器件公司 (ADI) 的 AD9913 芯片做 FMCW 信号发生器<sup>[4]</sup>。

AD9913 的输出频率受频率调制字 (frequency tuning word, FTW) 的控制, 输出频率  $f_{OUT}$  有如下关系:

$$f_{OUT} = \frac{FTW}{2^{32}} f_{SYSCLK} \quad (1)$$

其中: FTW 为频率调制字的值 (0~231-1 的整数);  $f_{SYSCLK}$  为 DDS 核的工作时钟。如图 6 所示, AD9913 的配置采用 SPI 总线由 FPGA 写入, 在片选信号  $\overline{CS}$  为低电平时, 在 SCLK 时钟上沿, 将 SDIO 数据写入芯片。配置字的格式为 8 bit 的指令+配置参数。

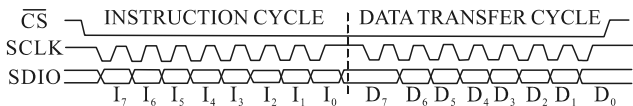


图 6 AD9913 串行配置时序

如图 7 所示, AD9913 还提供了 4 种扫频模式, 可以通过 P[2:0] 引脚或者 CFR1 配置寄存器的 [22:20] 位来设置。笔者采用 FMCW 模式, 有  $CFR1[21:20]=2'b11$ 。

Profile Pins[2:0] or CFR1 Bits[22:20]	Linear Sweep Mode
$\times 00^1$	Sweep off
$\times 01^1$	Ramp up
$\times 10^1$	Ramp down
$\times 11^1$	Bidirectional ramp

图 7 AD9913 的扫频模式

### 2.4 电源电路

雷达后端最大的电源消耗来自 FPGA 芯片。FPGA 一般需要 3 组电压, 即 FPGA 核电压 1.2 V, I/O 引脚驱动电压, 一般由与 FPGA 相连的外设芯片接口电压来确定。设计中 PGA、ADC 芯片和 DDS 芯片均为 3.3 V 供电, 另一组电源主要提供配置辅助电压 2.5 V。3 组电源中, 2.5 V 电源需用电流小于 250 mA。其他 2 组电源中, 核电压 1.2 V 电源提供 FPGA 程序运行所需电流消耗, 3.3 V 提供接口驱动电流, 为了考虑安全裕量, 一般这 2 组电源需要提供 250 mA 的电流。

FPGA 供电芯片选择德州仪器公司 (TI) 的 TPS75003 芯片, 是一款专为 Spartan 和 Cyclone 提供的电源管理解决方案的芯片。TPS75003 主要有以下特点:

- 1) 提供 3 路独立电源: 2 个效率为 95% 的 3 A buck 控制器和一个 300 mA 的 LDO;
- 2) 输出电压可调至 1.2 V 的 buck 电路和 1.0 V 的 LDO;
- 3) 输入电压范围 2.2~6.5 V;
- 4) 提供软启动和灵活的上电顺序。

根据上述分析, FPGA 电源电路设计如图 8 所示。图中, TPS75003 的 LDO 输出提供 2.5 V (250 mA) 的辅助电源。1.2 V 核电压和 3.3 V I/O bank 驱动电压由 2 路 buck 控制器分别通过 SW1、SW2 引脚输出 PWM 波控制对应的外接场效应管的导通时间来实现调压, 铁芯电感  $L_1$ 、电容  $C_{51}$  与肖特基二极管  $D_2$  ( $L_2$ 、 $C_{61}$ 、 $D_3$ ) 组成 LC 滤波电路, 平滑输出电压波形。

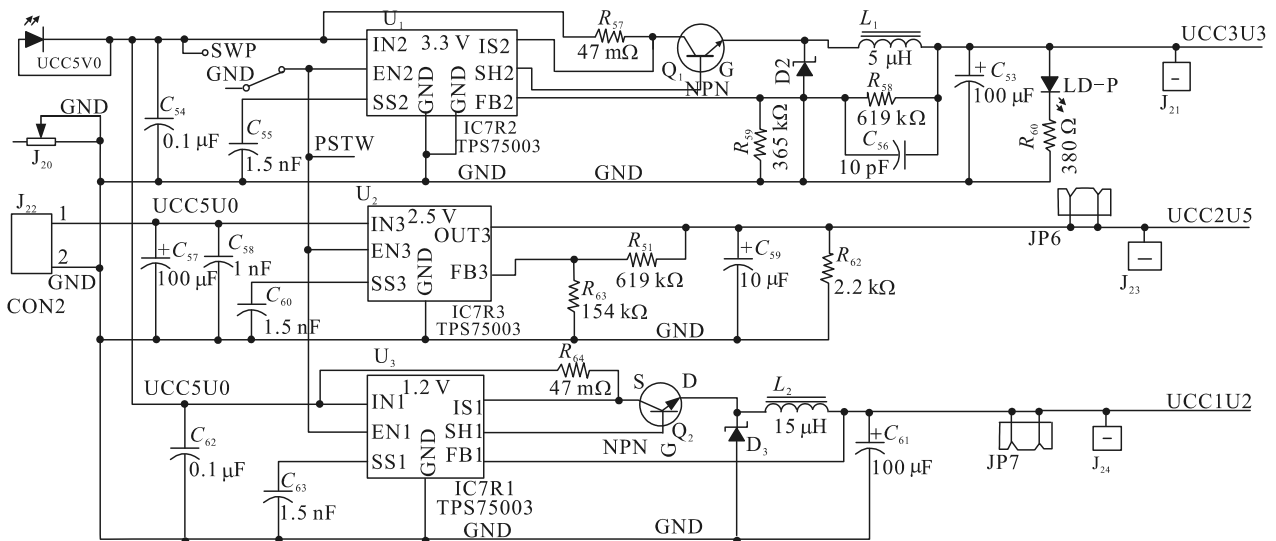


图 8 电源电路原理

### 3 外场测试与分析

为测试基于FPGA单芯片解决方案的雷达后端电路对动目标数据处理的实时性和准确性，笔者将雷达后端电路与微带阵列天线、射频电路等雷达部件整合装机，安装在车辆正前方进行外场测试。雷达后端板实物图片如图9所示。外场测试场景如图10所示。

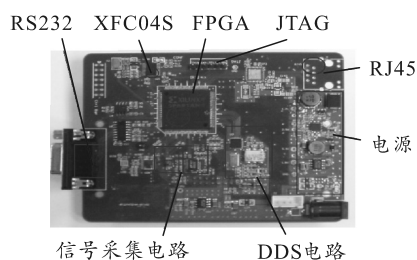
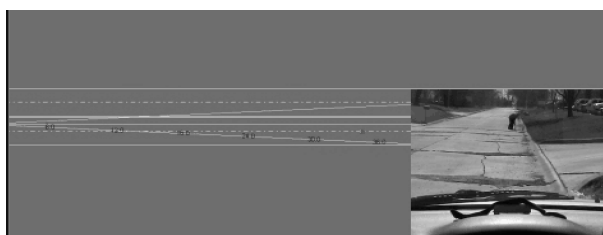
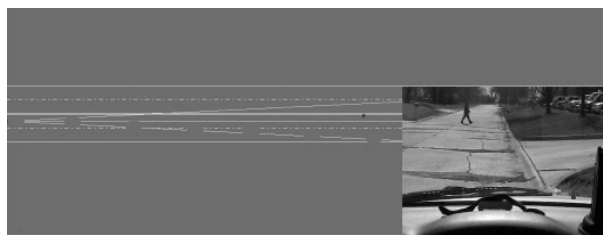


图9 雷达后端板实物照片

在公路环境中对运动目标进行探测。图10是对行人的探测，同种平行虚线部分画出了模拟车道。图中的行人在距离雷达35 m左右横向移动，在雷达界面上表现出明显的水平角度变化，表明雷达具有很好的测角功能。这在前防撞应用中用以区分前方的不同车道。



(a) 行人在车道右边沿



(b) 行人在车道左边沿

图10 雷达检测行人

如图11所示，雷达上位界面显示，在前方25 m靠近左边车道的地方有一个车辆正在行驶，在车道右边前方35 m位置有一个行人目标，与真实场景的运动目标距离方位一致。同时笔者还注意到，右边行人附近有树木、停放着一排小车，雷达能够自动完成对静目标的过滤。测试结果表明：当车辆快速行驶时，系统能够实现动目标检测的实时性和准确性。

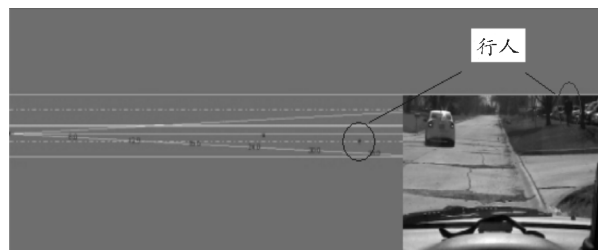


图11 雷达检测车辆、行人和干扰

### 4 结论

笔者利用FPGA的高速运算能力和丰富的I/O引脚，对后端方案以及信号采集电路、FPGA电路、电源电路、DDS电路的芯片选型和电路设计关键环节进行分析，完成了多种复杂信号处理算法在单片FPGA上的集成，研制出了基于FPGA的雷达后端信号处理板，实现了FPGA单芯片解决方案，能够充分解决雷达动目标数据处理的实时性和准确性，保障驾驶员的行驶安全。

#### 参考文献：

- [1] 黄源水. 基于毫米波雷达的前向防撞报警系统[J]. 机电技术, 2017(1): 80-82.
- [2] 蒋留兵, 沈翰宁, 林和昀, 等. FPGA的车载防撞雷达系统的设计与实现[J]. 火力与指挥控制, 2013, 38(8): 93-96.
- [3] 黄慧. 多波束成像声纳信号处理机的设计与FPGA实现[D]. 南京: 南京航空航天大学.
- [4] 刘飞. 24GHz混合集成FMCW源研究[D]. 成都: 电子科技大学.