

doi: 10.7690/bgzdh.2016.05.012

## 基于 FMC 和 PCI 通信的高速 ADC 动态性能测试

王亨勇, 黄锐, 张雄林, 李坤贺

(中国兵器工业第五八研究所武器装备信息与控制技术研究中心, 四川 绵阳 621000)

**摘要:** 针对传统高速 ADC 动态性能测试系统复杂、数据传输慢的缺点, 提出一种简单的高速 ADC 动态性能测试方法。该方法结合 FMC 分离设计和 PCI DMA 高速数据传输的优势, 可以方便快捷地对 ADC 动态性能进行测试。介绍测试系统原理以及相关关键技术, 并对测试方法进行了验证。验证结果证明: 该测试方法正确、可行, 具有重复利用性和高速数据传输的优点, 具有较强的适用性和推广性。

**关键词:** ADC; FMC; PCI; DMA

**中图分类号:** TP206 **文献标志码:** A

## Dynamic Performance Testing of ADC Based on FMC and PCI Bus

Wang Hengyong, Huang Rui, Zhang Xionglin, Li Kunhe

(Research & Development Center of Weapon Equipment Information & Control, No. 58 Institute of China Ordnance Industries, Mianyang 621000, China)

**Abstract:** Aiming at the shortcomings of complex and slow data transmission of traditional high speed ADC dynamic performance test system. In this paper, a simple method for dynamic performance testing of high speed ADC is proposed, which combines the advantages of FMC separation design and PCI DMA high speed data transmission to test the dynamic performance of ADC. The principle and key technology of the test system are introduced, and the testing method is verified. The verification results show that the method is correct and feasible, and has the advantages of high repetition rate and high speed data transmission. It can be widely used and popularized.

**Keywords:** ADC ; FMC ; PCI ; DMA

### 0 引言

随着数字电路应用范围和数量的不断增加, 模数转换模块(analogue-to-digital conversion, ADC)的使用也越来越广泛。ADC 主要用于把模拟信号转换为数字信号, 其性能直接决定了系统性能的好坏; 因此, 对 ADC 性能的测试显得尤为重要。针对传统 ADC 动态性能测试系统构建复杂、ADC 数据传输慢的缺点, 笔者提出一种基于 FMC 标准和 PCI 通信的 ADC 动态性能测试方法, 采用 FMC 分离板卡设计降低了设计的复杂度, 提高设计的可重复使用性, 采用 PCI DMA 传输解决高速 ADC 数据传输慢的瓶颈问题<sup>[1-4]</sup>。

### 1 ADC 的主要动态性能参数

#### 1.1 信噪比(SNR, db)

信噪比指信号均方根振幅与除前 6 个谐波和直流之外的所有频谱分量均方根和之比。随着输入电平的降低, SNR 往往按分贝线性递减。

$$SNR = 10 \cdot \lg \frac{A_1^2}{A_7^2 + A_8^2 + \dots + A_M^2 + A_{NFL}^2} \quad (1)$$

其中  $A_{NFL}$  为 Nyquist 频带(频率  $\leq f_s/2$ ) 内的本底噪声

频谱分量幅值均方根(DC、基频和前 6 次谐波分量除外)。

#### 1.2 信纳比(SINAD, dB)

信纳比指信号均方根振幅与所有频谱分量(包括谐波但不含直流)均方根和之比。SNR 与 SINAD 之间的差异即是前 6 个谐波所含能量, SINAD 同时是衡量 ADC 动态范围宽窄的一个重要指标:

$$SINAR = 10 \cdot \lg \frac{A_1^2}{A_2^2 + A_3^2 + \dots + A_M^2 + A_{NFL}^2} \quad (2)$$

#### 1.3 有效位数(ENOB, bit)

有效位数(effective number of bits, ENOB)是衡量 ADC 采样性能的一个最直观的指标, 直接表示了 ADC 采样的精度。ENOB 用于测量 ADC 的动态性能, 最常用的 ENOB 算法采用基于转换器满量程 SINAD 的以下方程:

$$ENOB = (SINAD - 1.76) / 6.02 \quad (3)$$

#### 1.4 杂散动态范围(SFDR, db)

无杂散动态范围(spurious free dynamic range, SFDR)指信号均方根值与模拟输入产生最差结果的

收稿日期: 2016-01-27; 修回日期: 2016-02-29

作者简介: 王亨勇(1987—), 男, 四川人, 本科, 助理工程师, 从事数字信号处理、嵌入式计算机、通信技术研究。

峰值杂散频谱分量均方根值之比。如果接收机需要处理多个信号，则仅当信号的强度高于杂散时，它才能被检测出。因而 SFDR 反映了在大信号输入的情况下，ADC 能同时检测小信号的能力。

$$SFDR = 10 \cdot \lg \frac{A_1^2}{A_{\max spur}^2} \quad (4)$$

## 2 测试系统原理

图 1 给了笔者提出的基于 FMC 和 PCI 通信的高速 ADC 动态性能测试系统框图。其中，用信号发生器产生高纯度正弦信号作为测试系统模拟信号 (Analog) 输入。时钟模块 (Clock) 为 AD 提供稳定的采样时钟。ADC 采样后的数据经 FMC 的 HPC 接口传入含 FPGA 的载卡，通过 PCI DMA 通信送入 PC，Matlab 软件编程计算各项指标，以 GUI 的形式显示出来。

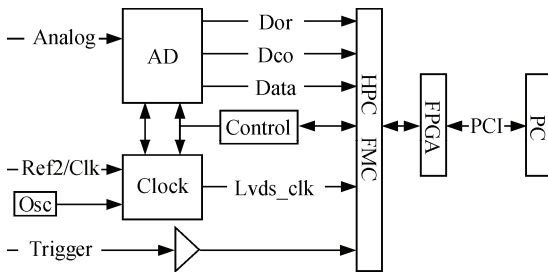


图 1 测试系统框图

笔者采用 FFT 法是对在时域内采集的一组正弦信号的采样信号进行 FFT 变换，得到信号的傅里叶频谱，然后从频谱中提取有关信息，通过对这些信息进行计算分析得到 ADC 的动态技术指标。ADC 的采样方式有 2 种：相干采样和非相干采样。相干采样方式对正弦输入信号进行整周期截断，不会产生频谱泄漏现象；因此，能够实现精确的频谱计算。然而，为了实现相干采样，必须要求 ADC 正弦输入信号和 ADC 采样时钟严格同步，这在实际情况下很难保证。所以笔者选用非相干采样，但是由于非相干采样非整周期截断；因此，非相干采样会造成频谱泄漏现象，为了消除频谱泄漏的影响，选择适当的窗函数(汉宁窗)，使信号截断锐角钝化来使频谱的扩散减少到最小，可以降低频谱泄漏和栅栏效应带来的测试误差。

## 3 测试系统中的关键技术

由图 1 可知：测试系统由时钟模块、模拟信号输入模块、控制模块 (Control)、FPGA 实现 PCI DMA 传输模块以及 PC 模块组成。

考虑到高速 ADC 的种类繁多，为了方便快速实现设计，设计 2 张板卡：一张是 FMC ADC 采集

子卡；另一张含有 FPGA 载卡，两者之间 HPC 连接。FMC ADC 采集子卡主要由时钟驱动电路、模拟前端输入电路、ADC 及其外围电路组成。FPGA 载卡主要由 FPGA、电源、接口等组成，主要完成 ADC 数据的采集、储存、PCI 传输。此种设计的好处是当测试不同的 ADC 动态性能时，只需要更改 FMC 子卡设计，并对 FPGA 载卡设计略作调整 ADC 采集、控制程序即可，由此减少设计的精力和资源，提高了设计效率。

### 3.1 ADC 采样时钟模块

在 ADC 采样中对于采样时钟的非常敏感，采样时钟的噪音、变形、抖动都会与采样信号混合直接反映到 ADC 数字输出编码上，导致影响 ADC 采样的性能，比如 SNR。抖动引起的 SNR 边界值可以通过以下公式等到：

$$SNR = 20 \cdot \lg \left( \frac{1}{2\pi f_A t_j} \right) \quad (5)$$

其中： $f_A$  为模拟输入频率； $t_j$  为时钟抖动。

图 2 是采样时钟抖动和模拟信号输入对 SNR 和 ENOB 的影响。

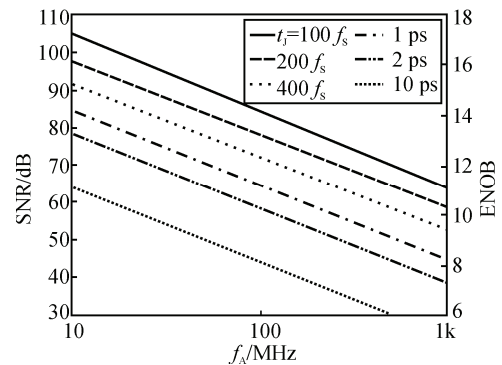


图 2 SNR、ENOB vs analog input frequency

所以采样时钟的选择尤为重要，笔者选用 ADI 公司的低噪声、低抖动的 AD9516 时钟芯片，为 ADC 提供采样时钟。

### 3.2 ADC 模拟前端输入

为了保证最佳动态性能，选用的信号源具有出色的性能(低相位噪声、平坦的频率响应、适度的谐波性能)，且在 ADC 的输入前端必须进行滤波处理。当需在 ADC 输入一个频率范围较宽的模拟信号时，使用低通滤波器；在模拟频率固定且将来也不会变化的情况下，使用带通滤波器。带通滤波器也可消除信号源产生的大部分宽带噪声，通常在 ADC 测试方面有很好表现。笔者选用 AD9467 作为模数转换芯片，信号输入端采用差分方式，以避免因单端

方式造成信号本身的 SNR 和 SINAD 性能下降。参考电压，选用稳定的外部参考电压。

### 3.3 PCI DMA 传输原理

FPGA 主要实现包括 AD 和 Clock 的控制逻辑、ADC 数据采集及储存、PCI 总线传输等<sup>[5]</sup>。由于高速 ADC 采样的数据量大，所以笔者选用 PCI 的 DMA 传输方式将 ADC 采样数据传输到 PC 内存。

PC 接收采样数据的 DMA 操作具体过程可分为 2 部分：PCI 总线操作、FPGA DMA 控制器操作。DMA 控制器首先将接收的 ADC 数据传到 PCI 总线发送 FIFO 中，然后再通过 PCI 总线将数据写 PC 内存。DMA 控制器在上述过程中均处于 Master 模式，FIFO 起速率匹配、缓存作用。

FPGA 要往 PC 进行 DMA 传输时，先初始化 DMA 控制模块的寄存器：写源地址寄存器、目标地址寄存器、字节计数器。当发送 FIFO 中的数据个数达到定义的临界值时，发送 DMA 开始请求。DMA 控制器申请并获得 PCI 总线控制权，从发送 FIFO 卸载数据并以 PCI 突发模式将数据写到 PC 的内存。当发送 FIFO 为空，结束 PCI 交易，当发送

FIFO 中的数据个数再次达到定义的临界值时，再次启动 PCI 交易。每传输一个字节计数器数值减 1，当字节计数器为 0 时，产生中断信号，通知 PC 已完成 DMA 传输。

### 3.4 Matlab 软件的设计

PC 通过 PCI 接口接收 ADC 数据，运用 Matlab 工具，采用 16k 点的 FFT，用以上算法计算 AD 采样的各指标。为了测试数据的准确性，对于每一种条件下的性能指标，都取 10 次测试结果的平均值。

## 4 测试实例

设计板卡选用基于 ADI 公司的 16 bit、250 Mbit/s 的 AD9467 芯片而设计的 FMC 子卡。时钟芯片选用 AD9516，规格如下：

1) 单槽 FMC HPC 架构；2) 数据量化位数 16 位；3) 支持内部参考时钟，外部参考时钟，外部输入时钟；4) 支持交流耦合输入；5) 支持最高 250 Mbit/s 采样率；6) SFDR > 60 dB；7) SNR < 52 dB。

按照文中方法对此板卡进行测试，测试结果如图 3 所示。

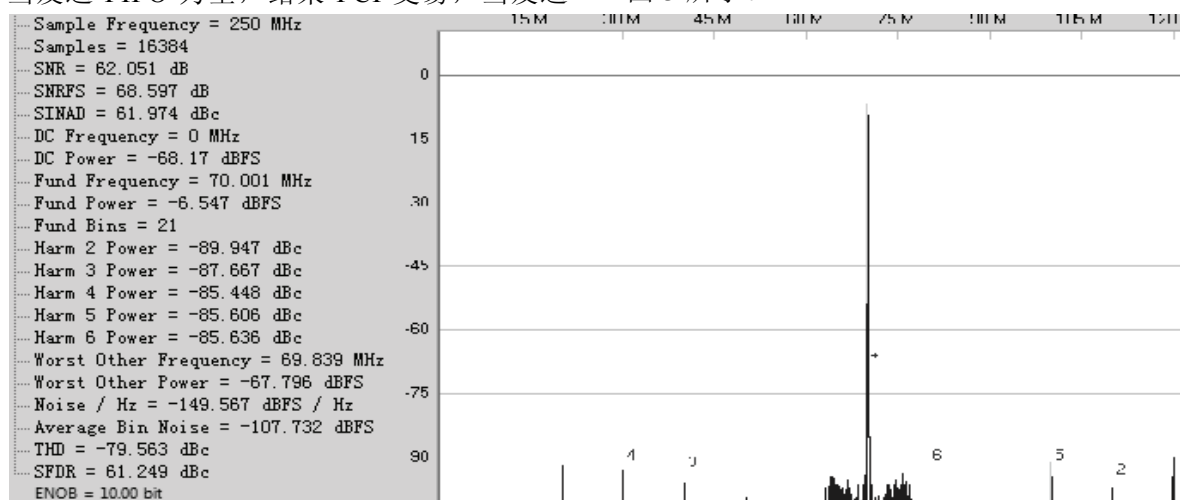


图 3 Matlab 测试分析 ADC 结果

由上图可看出 ADC 模块测试的动态指标如下：

- 1) 信噪比 (SNR)：62.051 dB；
- 2) 信纳比 (SINAD)：61.974 dB；
- 3) 有效位数 (ENOB)：10 bit；
- 4) 杂散动态范围 (SFDR)：61 dB。

## 5 结束语

实际使用结果证明：该测试方法正确、可行，可以很好地进行 ADC 的动态性能测试。笔者采用 FMC 标准进行板卡分离设计，提高了设计的重复利用性，采用 PCI DMA 通信解决了高速 ADC 数据传

输过程中的瓶颈问题，具有较强的适用性和推广性。

## 参考文献：

- [1] IEEE TC 10 IEEE Std 1054-94 IEEE Standard for Digitizing Waveform Recorders[S]. 1994: 61-85.
- [2] IEEE Std. 1241-2000. Standard for Terminology and Test Methods for Analogy-to-Digital Converter[S]. 2000. 18-83.
- [3] 李贵山, 陈金鹏. PCI 局部总线及其应用[M]. 西安: 西安电子科技大学出版社, 2003(3): 17-109.
- [4] PCI Local Bus Specification Revision 2.2[S]. 1998(2): 8-61.
- [5] 沈兰荪. 高速数据采集系统的原理与应用[M]. 北京: 人民邮电出版社, 1995(2): 28-254.