

doi: 10.7690/bgzdh.2022.09.002

小型化北斗三号双模接收机硬件设计与分析

冯 益, 孟祥飞, 薛 雯, 卢飞平

(上海电控研究所北斗通信研发中心, 上海 200082)

摘要: 针对北斗三号全球信号体制, 对小型化北斗三号双模接收机开展硬件设计与分析。给出总体设计方案和具体的 PCB 设计方法, 对关键信号特性进行仿真分析和优化。测试结果表明: 该接收机的射频链路设计合理, DDR 信号完整性好, 各项性能指标达到设计要求。

关键词: 北斗三号双模接收机; 硬件设计; 射频链路; 信号完整性

中图分类号: TJ861 **文献标志码:** A

Hardware Design and Analysis of Miniaturized Beidou 3 Dual-mode Receiver

Feng Yi, Meng Xiangfei, Xue Wen, Lu Feiping

(Beidou Communication Research and Development Center, Shanghai Electric Control Research Institute, Shanghai 200082, China)

Abstract: Aiming at Beidou 3 global signal system, hardware design and analysis of the miniaturized Beidou 3 dual-mode receiver are carried out. The total design plan and specific PCB design are given, the key signal characteristics are simulated, analyzed and optimized. Test results show that the RF link design of the receiver is reasonable, DDR signal integrity is good and various performance indicators meet design requirements.

Keywords: Beidou 3 dual-mode receiver; hardware design; RF link; signal integrity

0 引言

当前小型化北斗二号双模接收机在便携式、车载、基础设施等领域获得广泛应用。2020年, 北斗三号全球卫星导航系统正式开通, 可在全球范围内提供米级基本导航服务和短报文服务, 且在我国及周边地区提供星基增强 (satellite-based augmentation system, SBAS) 和区域功率增强服务。相较于北斗二号系统, 北斗三号系统的服务区域扩展到全球, 性能指标大幅提升, 功能也得到显著增强^[1-3]。针对北斗三号全球信号体制, 笔者基于当前国内专用芯片的技术水平, 开展小型化北斗三号双模接收机硬件设计与分析, 对原北斗二代接收机进行更新换代。

1 总体设计

考虑对北斗二号信号体制的兼容, 笔者设计的小型化北斗三号双模接收机 (以下简称接收机) 能够接收 B1I、B1C、B2a、B2b、B3I 频点导航信号; 接收 S1、S2C-d、S2C-P 频点 RDSS 出站信号, 发射 Lf0、Lf1、Lf2 频点 RDSS 进站信号; 接收 B2b 频点全球报文出站信号, 发射 Lf4 频点全球短报文

进站信号; 能够为用户提供全球位置服务和通信业务, 具备单频、双频、SBAS 模式定位导航, RDSS 报文通信, 全球报文通信等功能。

1.1 系统架构设计

如图 1 所示, 接收机由射频收发链路、基带处理电路、电源电路和电源数据接口 4 部分组成。

系统各部分功能如下:

1) 射频收发链路。

射频收发链路主要完成 RNSS/RDSS/全球报文信号的接收和发射。接收链路实现射频信号变频至中频信号的无失真线性放大功能, 发射链路实现了基带信号变频至射频信号的功能, 可用于发送 RDSS 和全球短报文 L 频段的进站信号。

2) 基带处理电路。

基带处理电路以北斗三号多频多模导航基带芯片、DDR3 芯片、FLASH 芯片、SIM 卡为核心部件, 负责模块的中频 AD 转换、信号捕获、电文解析、接口控制、授时输出等处理。

3) 电源电路。

电源电路主要为整个接收机内部各电路供电。

4) 电源数据接口。

收稿日期: 2022-05-23; 修回日期: 2022-06-27

作者简介: 冯 益 (1996—), 男, 江苏人, 工程师, 从事北斗卫星导航系统地面接收机设计研究。E-mail: 17621420519@163.com。

接口输出包括 UART 口、1PPS 秒脉冲输出等，除了对外输出，还包括接收机供电等输入接口。

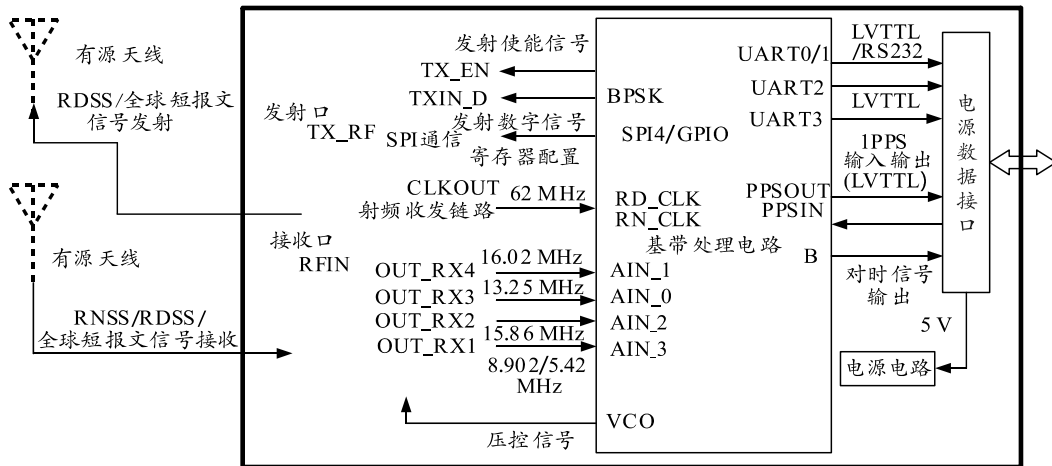


图 1 系统组成

1.2 射频链路配置设计

接收机根据系统下行、上行频率与带宽，通过总体频率配置选择合适的中频、采样频率，使其能够完全采样中频带宽而不产生混叠，同时使混频器产生的交调产物不落入有用频带内且便于滤除。

B1、B2、B3 和 S 频点射频信号通过射频芯片实现下变频至模拟中频，传给基带芯片进行 AD 采样，采样时钟为 62 MHz。系统接收和发射链路频率配置表见表 1 和 2，后续各部件参照此表进行频率配置。

表 1 接收链路频率配置

MHz

通道	信号频点	中心频率	最大带宽	本振频率	低通滤波器带宽	输出中频	输出模式
RFIN_RX1	B3I	1 268.52	20.460	1 260	±20	8.52	I/Q 复信号
RFIN_RX2	B1I/B1C	B1I: 1 561.098 B1C: 1 575.42	32.736	1 580	±25	B1I: 18.902 B1C: 4.58	I/Q 复信号
RFIN_RX3	B2a/B2b	B2a: 1 176.45 B2b: 1 207.14	20.460	1 190	±30	B2a: 13.55 B2b -17.14	I/Q 复信号
RFIN_RX4	S2C_d/S2C_p/S1	2 491.75	16.320	2 480	±20	11.75	I/Q 复信号

表 2 发射链路频率配置

通道	信号频点	中心频率/MHz	最大带宽/MHz	输出功率/dBm	滤波器带宽/MHz	数据率/bps	输出
TX_RF	Lf0	1 615.680	8.160 0	-15	8.16	8 K	BPSK 调制 信号
	Lf1	1 614.260	8.160 0			1~16 K	
	Lf2	1 618.340	8.160 0			1~16 K	
	Lf4	1 624.524	3.275 2			400	

通过总体链路增益和噪声系数配置，满足接收机对信噪比和线性度的要求。合理设计链路各环节增益，在保证信噪比的同时，使系统链路工作线性区域为高灵敏度及抗干扰接收建立良好的信道环

境。系统接收和发射链路增益配置如表 3 和 4 所示，优先考虑灵敏度指标，采用 AGC 模式，后续各部件参照此表进行增益配置。如需进一步提高抗窄带干扰能力，可以改用固定增益模式。

表 3 系统接收链路增益、噪声系数配置

通道	信号噪声电平/dBm	有源天线低噪放增益/dB	接收通道增益/dB	噪声系数/dB	射频芯片内部增益配置/dB	到达基带 ADC 输入信号电平/dBm
RFIN_RX1 B1I/B1C	-99	30	0	≤1.5	AGC 模式	-3.5
RFIN_RX2 B2a/ B2b	-101	30	0	≤1.5	AGC 模式	-3.5
RFIN_RX3	-102	30	0	≤1.5	AGC 模式	-3.5
S2C_d/S2C_p/ S1	-101	30	0	≤1.5	AGC 模式	-3.5

表 4 系统发射链路增益配置

通道	射频芯片端口发射电平/dBm	发射通道增益/dB	射频口发射电平/dBm
TX_RF Lf0/Lf1/Lf2/Lf4	-5	≥10	≥5

1.3 硬件设计

接收机硬件设计如图 1 所示。射频部分采用北斗三号专用射频芯片来实现 RNSS/RDSS/全球报文信号的接收和发射。基带部分采用北斗三号专用基带芯片及外围电路来实现信号处理。电源部分采用 DC/DC 与 LDO 芯片组合实现高效率为接收机内部各电路供电。接口部分主要是对外接口驱动电路。

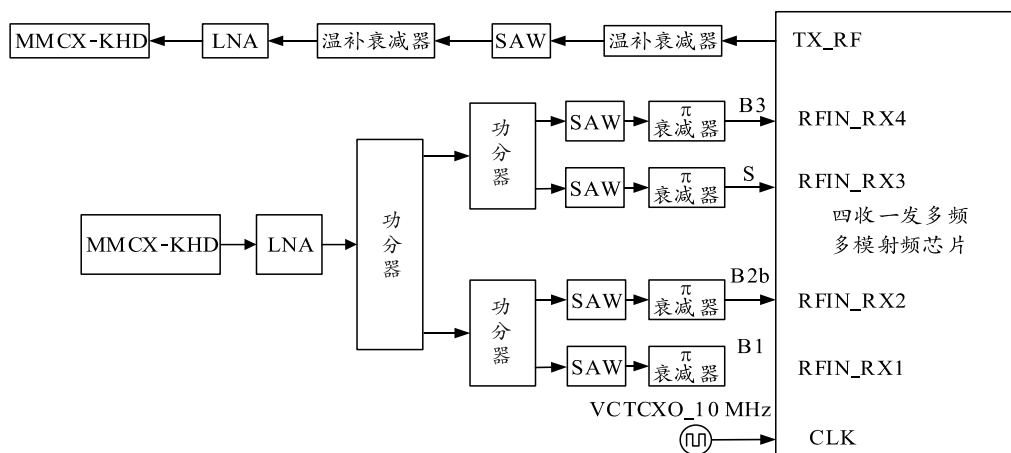


图 2 射频收发链路

RNSS/RDSS/全球报文射频信号输入后经过低噪放放大，再经过 3 个功分器，分成 4 路射频信号 B1I/B1C、B2a/B2b、B3I、S2C_d/S2C_p/S1。4 路信号经过各自频点对应频段的声表滤波器滤波、 π 衰减器(根据实际测试情况进行衰减)后进入射频芯片的 4 个接收通道。4 路射频信号进入射频芯片内部后首先经过低噪放放大再经过混频器下变频产生 I/Q 两路中频差分信号。中频信号通过中频滤波器滤波后，经中频驱动放大器放大输出，提供给后续基带芯片进行处理。

板级射频发射链路由基带芯片输出的数字信号经过射频芯片内部的一位数模转换器后，再经过 BPSK 调制器、滤波器输出相应发射信号。射频电路输出的 RDSS 短报文和全球短报文 L 频段的入站信号经过温度补偿衰减器、声表滤波器、温度补偿衰减器、低噪放后输出。

1.3.2 基带处理电路设计

如图 3 所示，基带处理电路由多频多模导航基带芯片、SIM 卡、FLASH 芯片、DDR 芯片、RTC 芯片、复位芯片、晶振等组成。基带芯片为接收机的核心部件，负责模块的中频 AD 转换、电文解析、接口控制、授时输出等处理。中频信号到达基带芯片后由其进行卫星信号捕获、跟踪、解调、解扩、

限于篇幅，以下仅对射频收发链路、基带处理电路原理进行介绍。

1.3.1 射频收发链路设计

如图 2 所示，板级射频收发链路主要由射频口、低噪放、功分器、声表滤波器、 π 衰减器以及温补衰减器、四收一发多模多频射频芯片、压控温补晶振等组成。

位同步、帧同步、译码及 PVT 解算等处理，输出定位信息。DDR3 芯片直接连接到基带芯片的 DDR 控制器，用于扩展基带的内存。SIM 卡用于实现北斗三号通信权鉴。FLASH 芯片用于存储程序。RTC 芯片用于精确守时，实现热启动功能。DAC 芯片用于控制压控温补晶振，实现时钟校准。

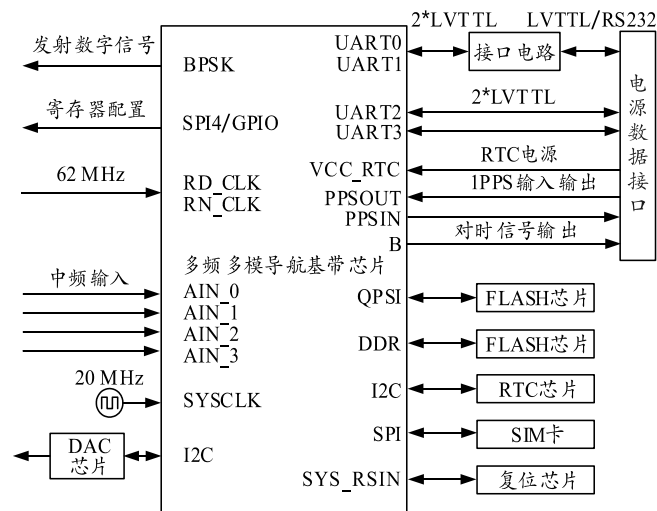


图 3 基带处理电路

2 PCB 设计与实现

2.1 系统架构设计

设计要求在小空间内放入基带芯片、射频芯片、DDR3 芯片等核心器件，并且配以众多的外围器件，

同时考虑到 PCB 板太厚可能会导致接收机与 PCIE 座装配时出问题,故决定采用 10 层板进行布板,将板厚控制在 1 mm 左右。

PCB 叠层选择时需要兼顾 2 方面:DDR 信号完整性;重要信号线的对地阻抗。

1. 设计主要信号线如下:

- 1) 射频线;
- 2) 射频芯片输出的 4 组 I/Q 差分中频信号;
- 3) DDR3 数据线、时钟线;
- 4) 32.768 KHz、10 MHz、20 MHz、62 MHz 重要时钟线。

2. 主要信号线的设计要求如下:

- 1) 所有射频线需做 50 Ω 阻抗匹配;
- 2) 射频芯片输出的 4 组 I/Q 差分中频信号需做 100 Ω 阻抗匹配;

3) DDR3 芯片 dqs 是差分走线,跟同组 dq 同组同层等长 ±10 mil; clk 差分对内 ±5 mil,与其他地址控制线做等长约束;

4) 重点时钟线采用 3W 包地就近原则^[4]。

2.2 叠层及走线设计

按照 DDR3 常用的布线准则,同组数据线同层等长,并且为了确保信号完整性,一般要采用信号层+上下 2 层屏蔽层的方法,但考虑到板层只有 10 层,笔者采用如表 5 所示的叠层结构。

表 5 PCB 叠层结构

板层	层定义	备注(主要信号线)
1	TOP	射频线+时钟线
2	GND	
3	ART	DDR 数据线
4	GND	
5	ART+PWR	DDR 地址线+控制线+电源层
6	ART+PWR	DDR 地址线+控制线+电源层
7	GND	
8	ART	DDR 数据线
9	GND	
10	BOTTOM	射频线+时钟线

将 DDR3 布线要求不高的地址线与控制线划分为同组,分别放置于 L5 与 L6 这 2 个电源层,将 L4 与 L7 作为地址、控制线的屏蔽层,将 2 组重要的时钟、数据线放置于 L3 与 L8 层,屏蔽层分别为 L2&L4 与 L7&L9。采用上述叠层,可以在保证 DDR 信号完整性的同时,节约至少 2 层的板层空间,可以有效缩减 PCB 板厚。

为了防止时钟信号串扰到地,导致接收机出现 EMI 问题,笔者采用统一的方式,时钟信号走线采

用 3W 包地原则,并且尽量缩短走线长度,摒弃传统单点接地的思想,模拟电路和数字电路划区布局,形成完整的接地平面,仅在射频部分人为隔开一部分铜皮,保护敏感的射频部分不受其他数字电路产生的噪声干扰^[5]。

2.3 阻抗设计

笔者设计的阻抗分为 2 类:单端 50 Ω;差分 100 Ω。阻抗设计如表 6 所示。

表 6 PCB 阻抗设计

层别	屏蔽层	(调整线宽/线间)/mil	计算值/Ω
L1/L10	L2/L9	5.5	50+/-10%
L1/L10	L2/L9	3.9/4.1	100+/-10%
L3/L8	L2&L4/L7&L9	3.2	50+/-10%
L3/L8	L2&L4/L7&L9	3.3/4.5	100+/-10%
L5/L6	L4&L7	4.3	50+/-10%
L5/L6	L4&L7	3.7/4.1	100+/-10%
L1/L10	L3/L8	13.5	50+/-10%

3 关键信号特性分析和优化

对上述接收机设计进行分析,可以确定射频收发链路和 DDR 高速数字信号是影响整机性能的关键点,有必要对这些关键信号的特性进行分析,验证总体设计的合理性、指导电路参数配置和 PCB 设计优化。

3.1 射频链路仿真分析

采用仿真软件 ADS 构建射频收发链路仿真模型,对增益和噪声 2 项关键指标进行仿真分析,验证系统链路配置设计的合理性和指导链路参数配置^[6]。

结合低噪放、功分、声表滤波器的 S 参数、噪声系数,构建从射频接收端口到射频芯片输入口接收链路的仿真模型如图 4 所示。仿真结果为通道 1 增益 9.648 dB, NF0.95 dB、通道 2 增益 12.963 dB, NF0.77 dB、通道 3 增益 11.519 dB, NF0.85 dB、通道 4 增益 12.628 dB, NF0.79 dB。噪声系数达到设计要求。根据增益仿真结果可以确定预留的板级 π 衰减器具体参数,将各通道增益调至 0 dB。该设计对常规天线低噪放具有较大余量。

结合温补衰减器、声表滤波器、低噪放 S 参数,构建从射频芯片输出端到 RDSS/全球短报文射频输出端的发射链路仿真模型如图 5 所示。仿真结果显示,在输入-5 dBm 的信号下, Lf0/Lf1/Lf2/Lf4 全频段发射电平范围为 5.8 dBm,可以满足 ≥5 dBm 的要求,对常规有源天线具有较大余量。

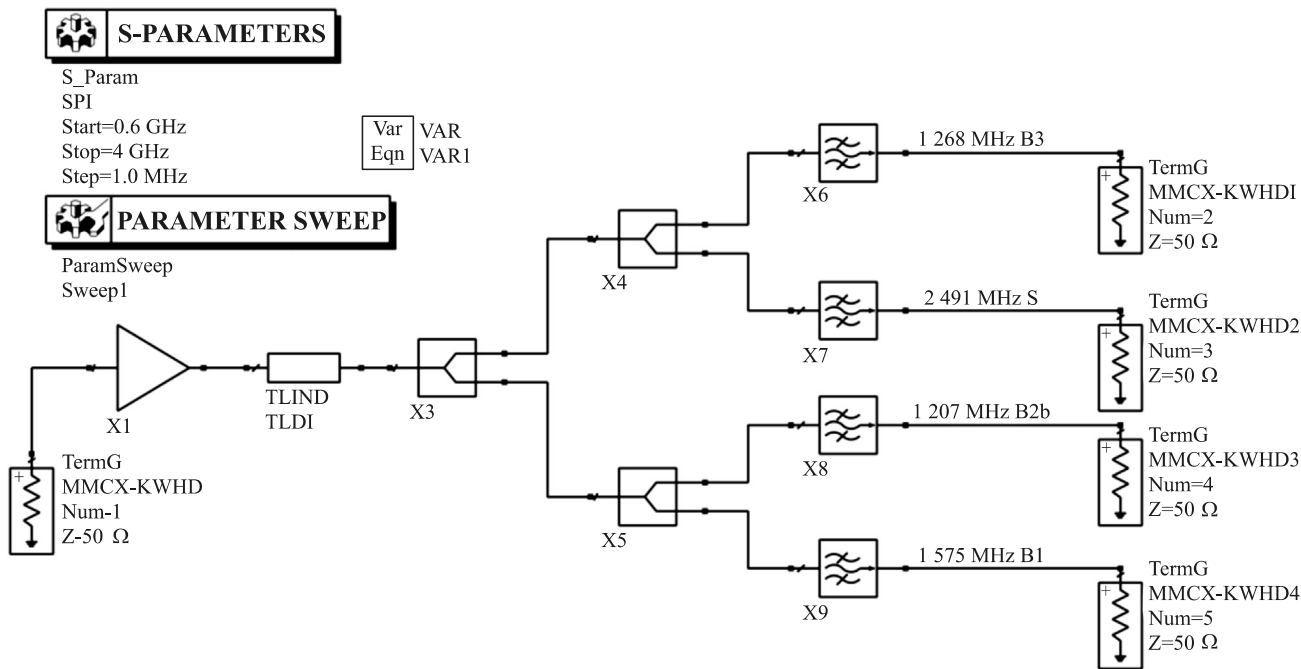


图 4 射频接收链路仿真

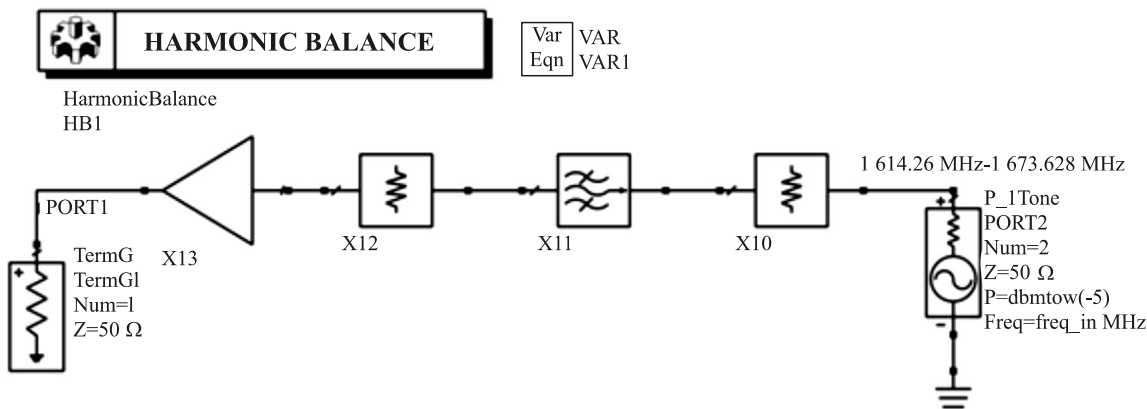


图 5 射频发射链路仿真

3.2 DDR 信号完整性仿真分析

DDR 工作速率相关信息：DDRC(控制器)工作时钟为 266 MHz；DDR PHY 工作时钟为 533 MHz；CK/CK#速率为 533 MHz。一次读一次写的速率为 1 066 Mbyte/s。

DDR 信号完整性分析要在 2 个阶段分析：

- 1) 在 PCB 仿真阶段，得到后仿真的眼图，可以对阻容抗设计分析；
- 2) 在电装后实际 PCB 测试阶段，得到实际 PCB DDR 工作眼图，可以分析出实际电路板的阻容匹配。

在后仿真之前，也可先进行前仿真分析。前仿真分析的内容主要是在 PCB 设计之前对电路设计的优化，包括降低信号反射、过冲，确定匹配电阻的大小、走线阻抗等，通过对无源器件的各种配置

分析选取出最适合的参数配置^[7]。如果电路不复杂可以直接进行后仿真，PCB 阶段采用 HYPERLYNX 软件对 DDR3 数据线进行写数据仿真分析，仿真结果如图 6 所示，可以满足 JESD79-3F 标准所规定的 DDR3 在 1e-16 误码率下的眼图模板要求。

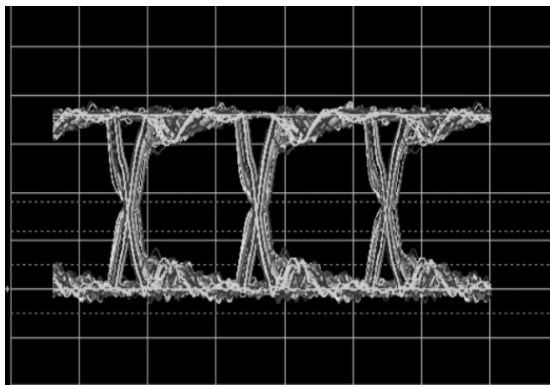


图 6 写数据仿真结果

4 测试结果

4.1 射频收发链路

采用矢量网络分析仪对接收和发射通道增益进行测量, 1~4 四个接收通道增益分别为 0.1、0、0.1 和 0.2 dB, 发射通道增益为 10.5 dB。采用噪声分析仪对接收通道噪声进行测量, 1~4 四个接收通道噪声系数分别为 1.3、1.1、1.2 和 1.1 dB。通道增益和噪声系数均达到设计要求。对易受射频收发链路影响的发射 EIRP 和接收灵敏度 2 个整机指标, 采用模拟源有线测试的方法进行测试。有线测试结果为: Lf0/Lf1/Lf2/Lf4 全频段发射 EIRP ≥ 5 dBm; RNSS B1I/B1C/B2a/B2b/B3I 频点捕获灵敏度 ≤ -138 dBm, RDSS S2/S1 频点捕获灵敏度 ≤ -123.8 dBm, 全球报文 B2b 频点捕获灵敏度 ≤ -127.8 dBm。收发通道及整机测试指标表明: 射频收发链路充分发挥了基带芯片的技术水平, 达到较佳的整机性能。

4.2 DDR 高速数字信号

用示波器实测 DDR3 写数据的眼图, 测试结果如图 7 所示。

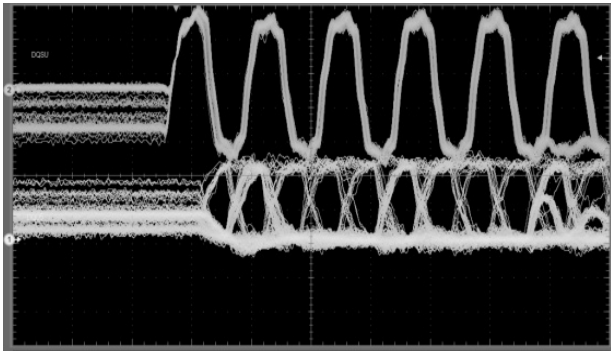


图 7 DDR3 写数据的信号完整性测试结果

从眼图可以看出, 写数据时, DSQ 的上升沿和下降沿在时序上和 DQ 信号的中心处(交叉点)对齐。眼图宽度、张开度等均通过 DDR3 模板测试。

最终 DDR 能否跑通, 还需对 DDR 进行压力测试, 过程如下:

1) 对指定 DDR 空间先进行写操作, 写的数据组是以一个已知起始数据根据 DDR 地址偏移进行累加的有序数据序列;

2) 对指定 DDR 空间进行读操作;

3) 根据写的已知起始数据, 通过 DDR 地址偏移可以得到该 DDR 地址上的预期数据, 跟实际读出来的数据进行比较, 来判断读写是否正确;

4) 循环 1~3 的操作, 通过更换不同的已知起始数据, 根据错误提示, 可以判断是哪个 bit 有问题, 从而判断哪个数据线有问题; 如果错误提示显示在规律地址上出错, 也可以判断是哪个地址线出问题。

按上述过程, 在常温、高温、低温环境下对 DDR 进行压力测试, 在要求的速率下整个 DDR 空间读写数据一致, 没有 bit 错误。

5 结论

对小型化北斗三号双模接收机开展硬件设计与分析, 给出系统架构、射频链路配置、硬件原理和 PCB 设计方法。针对射频、DDR 等关键信号, 建立原理和 PCB 级的仿真模型, 对其特性进行分析和优化。试验结果表明: 该接收机的射频链路设计合理, DDR 信号完整性好, 各项性能指标达到设计要求, 对其他北斗三号双模接收机的工程设计具有较大的参考意义。

参考文献:

- [1] 中国新闻网. 北斗系统发言人: 北斗三号相比二号有四个方面性能提升[EB/OL]. [2018-12-27]. <https://www.chinanews.com.cn/gn/2018/12-27/8713959.shtml>.
- [2] 邵东生, 赵洪华, 周云, 等. 基于社团发现的卫星通信地球站组网规划方法[J]. 兵工自动化, 2020, 39(4): 23-29.
- [3] 柳敏, 杨丹丹, 王永兵. 基于 Matlab 与 STK 的卫星信关站部署仿真平台实现[J]. 兵工自动化, 2021, 40(8): 61-65.
- [4] 李夏辉. DDR3 信号完整性分析及在 IMX6 电路中的应用[D]. 广州: 华南理工大学, 2015: 38-40.
- [5] 薛雯, 卢飞平. 安装空间受限的北斗接收机电磁干扰分析和解决方法[J]. 信息记录材料, 2021, 22(5): 238-241.
- [6] 陈烈强, 顾颖言. 利用 ADS 仿真设计射频宽带低噪声放大器[J]. 微波学报, 2010, 26(Z1): 288-291.
- [7] 金俊英, 秦娟. DDR3 内存的 PCB 仿真与设计[J]. 中国信息科技, 2013(23): 65-69.