

doi: 10.7690/bgzdh.2021.06.004

微型多通道弹底数据采集模块设计

李元振^{1,2}, 张鹏^{1,2}, 李孟委^{1,2}

(1. 中北大学南通智能光机电研究院, 江苏 南通 226000; 2. 中北大学仪器与电子学院, 太原 030051)

摘要: 为进一步提高 155 mm 火炮的射程、威力和打击精度, 设计一款微型多通道弹底数据采集模块。以现场可编程门阵列(field programmable gate array, FPGA)为设计平台, 利用其内置 XADC 硬核, 设计 8 路模拟信号采集转换、数据缓存与数字防干扰, 对火炮发射过程中弹底多点瞬态温度、压力数据进行测量, 并通过 Vivado 平台进行仿真分析。仿真结果表明: 该模块功能参数达到设计要求, 运行稳定, 具有一定的工程应用价值, 可为弹底采存设备的优化设计提供参考。

关键词: 温度压力测量; XADC; 采存模块

中图分类号: TJ302 **文献标志码:** A

Design of Miniature Multi-channel Bottom Data Acquisition Module

Li Yuanzhen^{1,2}, Zhang Peng^{1,2}, Li Mengwei^{1,2}

(1. Nantong Institute of Intelligent Opto-mechatronics, North University of China, Nantong 226000, China;

2. School of Instrument & Electronics, North University of China, Taiyuan 030051, China)

Abstract: In order to further improve the firing range, power and strike accuracy of the 155 mm gun, a miniature multi-channel bottom data acquisition module was designed. Taking field programmable gate array (FPGA) as the design platform, use its embedded XADC hard core, design 8-channel analog signal acquisition and conversion, data buffering and digital anti-interference, measure the multi-point transient temperature and pressure data at the bottom of the gun during the launching process, and carry out the simulation analysis by Vivado platform. The simulation results show that the functional parameters of the module meet the design requirements, the operation is stable, and it has a certain engineering application value, which can provide reference for the optimal design of the storage equipment of bomb bottom.

Keywords: temperature and pressure measurement; XADC; acquisition and storage module

0 引言

在当前陆军众多装备序列中, 155 mm 火炮在射程、威力、精确度、机动性、后勤补给等方面拥有巨大优势^[1], 为我军陆军主力武器之一。对火炮发射中弹底流场数据进行测试, 可为 155 mm 火炮的弹药使用、炮管寿命、打击精度等重要指标的理论研究提供数据支撑, 从而提高 155 mm 火炮各项性能^[2-5]。通过部署多个微机电系列(micro-electro-mechanical system, MEMS)温度、压力传感器, 采集弹底温度场、压力场信号, 可以更全面地获取 155 mm 火炮发射过程弹底整个面温度、压力变化, 实现弹底流场物理量测量。

传统火炮弹底数据采集模块中, 部分控制功能模块以现场可编程门阵列(FPGA)为设计平台^[6], 数据转换模块使用外置 ADC(analog-to-digital converter), 增加了复杂环境下数据受到干扰的风险, 且多路 ADC 器件体积较大并需要额外的供电

电源; 部分采用单片机平台的采存系统性能一般、逻辑功能固化, 无法进行片内数据的预处理, 也难以像 FPGA 一样可进行后续控制模块功能性、逻辑性修改优化。基于对弹底多通道瞬态流场测试仪的体积、性能、抗干扰等多方面因素考虑, 以 Xilinx 公司 7 系列 FPGA 为平台, 利用其内置的 XADC(xilinx analog-to-digital converter)实现 8 路外部模拟信号的转换采集, 具有集成度高、体积小、性能强、抗干扰性强、可进一步逻辑优化的优势。为防止复杂环境下同时采集多路温度与压力之间可能发生的信号相互干扰造成数据紊乱, 在 FPGA 片内对数据添加防干扰校验。

1 瞬态流场测试仪设计方案

1.1 设计可行性分析

火炮发射时弹底具有高温、高压和瞬时性的特点, 药室燃烧的瞬时温度可达 3 000 °C^[7], 膛压变化范围宽, 从 0 至数百兆帕, 全过程持续时间

收稿日期: 2021-01-24; 修回日期: 2021-03-10

基金项目: 兵器工业联合基金(6141B01297)

作者简介: 李元振(1995—), 男, 山东人, 硕士, 从事嵌入式软硬件设计研究。E-mail: 1533077374@qq.com。

5~30 ms, 弹底压力、温度信号的最高有效带宽为 5 kHz^[8]。Xilinx 7 系 FPGA 内部集成的 XADC 模块包含 2 个 12 位、1 M/s 的 ADC 和片上传感器^[9]。该 ADC 为不同的应用提供了通用、高精度的模拟接口, 其支持单极性信号和差分信号 2 种输入类型, 包含 1 个 17 通道模拟多路复用器前端, 最多可采集 17 个外部模拟输入, 单通道模式采集时速率可达 1 MHz, 多路采集时, 单通道最高采集速率可达 250 kHz, 参数指标符合对弹底瞬态流场的温度和压力测试的需要, 确保实现过采样。

笔者选用 Xilinx Artix7 系列 xc7a35t FPGA 芯片, 借助其集成的 XADC 平台, 将模数转换模块与控制模块在单片 FPGA 中设计实现, 可提高系统的集成度、减小硬件电路体积和复杂度。此外, 单片芯片可以降低元器件清单 (bill of material, BOM) 的数量和板级部件的尺寸, 使板级系统的复杂程度也相应简化, 从而有助于降低硬件成本, 提高整个设备的可靠性。

1.2 采集模块系统构成与功能

当采集模块工作时, 多个 MEMS 传感器将采集到的信号转换为模拟电压信号, 经过模拟信号调理电路的放大、滤波、偏置后, 将调理后的输出电压幅值控制在 0~1 V, 传输到 FPGA, 在 FPGA 内部集成的 XADC 中进行模数转换; XADC 分辨率为 12 位, 输出转换后的数字信号为 16 位的数字信号, 其中高 12 位数据有效, 转换后数据存储于 XADC 的状态寄存器中, 经过 DRP (dynamic reconfiguration port) 接口传输到异步 FIFO 1 进行数据的缓存, 之后对数据进行防干扰处理, 加入 CRC 校验设计, 加入校验位后的数据再经过异步 FIFO 2, 随后数据进入存储设备, 完成数据的采集与存储。其工作流程如图 1 所示。

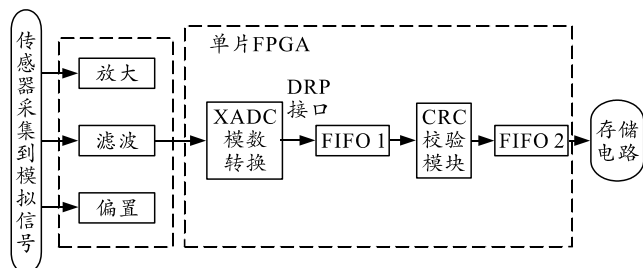


图 1 测试系统工作流程

2 采集模块软硬件设计

2.1 8 通道 XADC 设计

当利用 XADC 进行多通道循环采样时, 其时序

如图 2 所示。XADC ADCCLK 周期建立时间结束后, 从 DCLK 的下一个上升沿开始进入转换阶段, BUSY 信号变为高电平有效, 以指示 ADC 正在执行转换, 转换阶段为 22 个 ADCCLK 周期长; 当转换结果传输到输出寄存器后, BUSY 变为低电平, 16 个 DCLK 周期后, EOC 脉冲变为 1 个周期的高电平, 标志着转换结束; 通过 CHANNEL 来识别正在转换的通道, 当转换结束, BUSY 信号转换为低电平, 此时多路复用器通道地址被更新; EOS 在所有通道转换完一遍后变为高电平, 标志着多通道转换循环完成 1 次。

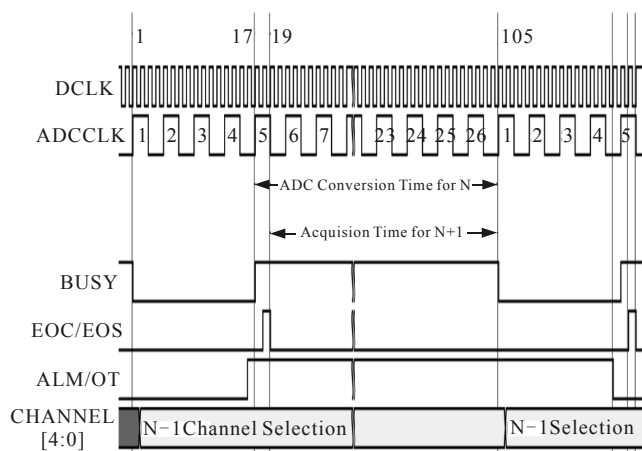


图 2 XADC 循环采样工作时序

设计中配置 XADC 为多通道序列循环采样模式, 数据传输使用 DRP 接口; 外部时钟设置为 100 MHz, 此时单个 ADC 的转换速度达到最快 1 000 kHz; 配置 XADC 使用内部基准 1.25 V 电压源, 保证精度的同时进一步简化电源电路设计; 采用的 MEMS 传感器输出信号为单极性模拟电压, 故 XADC 设计中信号输入采用单极性模式。输入电压范围为 0~1 V: 当输入是 0 V 时, ADC 输出 0 值 000H; 当输入为 1 V 时, ADC 的输出为 12 位满量程值 FFFh。其输出与输入的转换关系为:

$$\text{ADC CODE} = (V_i / 1.0) \times \text{FFFh} \quad (1)$$

式中: ADC CODE 为 ADC 数字信号输出量; V_i 为 XADC 的模拟量输入; 输出值最小变化量 1LSB 在 12 位 ADC 下通过 $1 \text{ V} / 4 \text{ 096}$ 计算约为 $244 \mu\text{V}$, 误差小于 0.5LSB。综合流场测试仪体积、功耗与采集功能的需要, 选用通道 0、1、2、3 连接温度传感器调理电路输出采集弹底温度场信号, 通道 4、5、8、9 连接压力传感器调理电路输出采集弹底压力场信号。如图 3 所示, XADC IP 核在 Vivado 开发环境中配置完成。

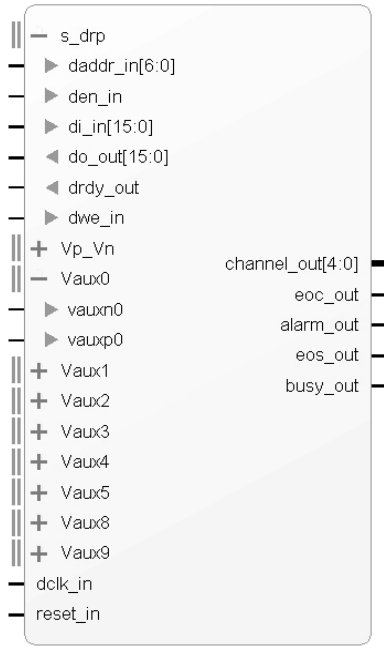


图 3 XADC IP 核配置信息

2.2 多通道数据防干扰校验设计

火炮点火发射时,在极短的时间内弹底由常温、常压转变为高温、高压状态,状态的瞬变易引起流场测试仪采存电路的噪声,多路信号同时采集也易造成多个通道数据的相互干扰,导致 ADC 转换数据的不可信与不可用,剧烈的震动可能导致存储电路的掉电或电位逆转。综合以上多路采集、状态突变 2 种因素可能造成的数据干扰、串扰、数据错误,

依托 FPGA 的逻辑可编程能力与强大运算性能,在片内对 XADC 输出的数据进行处理,引入循环冗余校验码(cyclic redundancy check, CRC),以验证采集到的数据是否紊乱,配合多路数据采集设计,剔除无效数据,提高最终用于流场计算所得数据的准确性。

设计采用 CRC-8 校验算法,采用的多项式为

$$G(x) = x^8 + x^5 + x^4 + 1. \quad (2)$$

CRC 校验码的编码解码方法是将待发送的二进制数据 $t(x)$ 和生成多项式 $G(x)$ 二者相除,将运算后的余数作为 CRC 校验码。为了方便表示,实际应用中通常将一连串的二进制数据信息表示为 1 个多项式,信息中的每一位都作为多项式的系数,例如 10101101 可以表示为 $x^7+x^5+x^3+x^2+1$ 。CRC 校验时,发送方和接收方应该使用同一个生成多项式 $G(x)$,且 $G(x)$ 的首位和末尾位都必须是 $1^{[10]}$ 。在设计中,将 XADC 转换后的数据输入 CRC-8 校验码验证模块,模块产生的 CRC-8 校验码与读取的存储电路中的校验码比较,看是否完全相同,若不相同,则表明接收帧错误,相应数据段在后续运算中加以剔除。CRC 校验码的编码和验证既可用软件实现,也可用硬件实现,由于 FPGA 芯片性能足够,因此采用硬件中设计线性移位寄存器来实现。Verilog HDL 编写完成后在 Vivado 开发环境中进行 RTL 分析,得到的 CRC 校验模块内部部分逻辑原理如图 4。

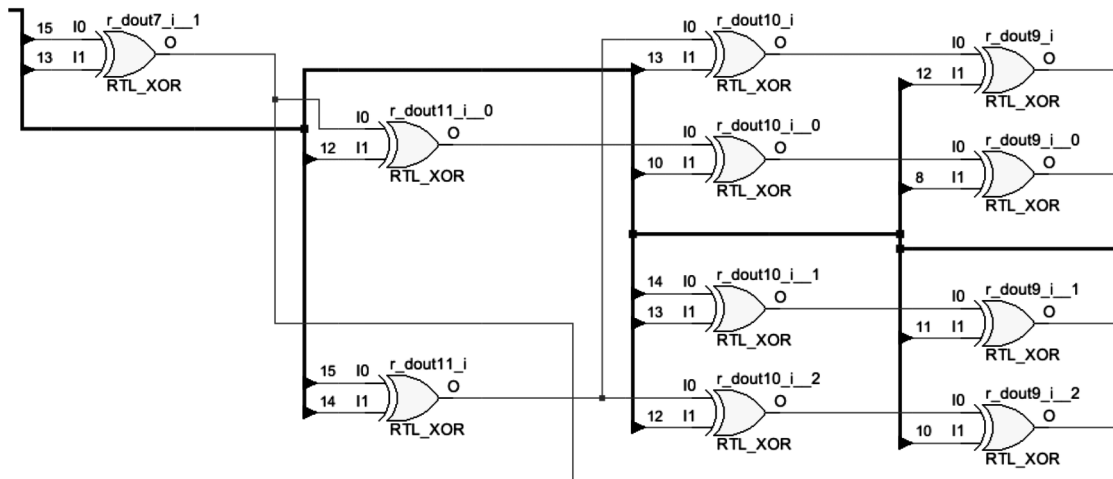


图 4 CRC-8 校验设计分析逻辑结构

2.3 片内异步 FIFO 设计

ADC 采集到的数据需要存储到存储电路中,以完成流场数据的采集与存储。XADC 模块与存储电路所采用的驱动时钟不同,且 XADC 输出的数据位宽为 16 位,加入校验位处理后数据位宽为 32 位,

而开发板上存储电路的数据接口位宽为 8 位,若要将 XADC 的输出信号进行存储,则需要进行数据的跨时钟域处理与带宽匹配。针对设计中跨时钟域存储与数据接口位宽匹配问题^[11],在 FPGA 中设计 2 个异步 FIFO 模块,其工作原理如图 5 所示。第 1

个 FIFO 做 ADC 转换数据的接收和缓存，数据进行防干扰处理后进入第 2 个 FIFO，实现防干扰处理后的数据与存储电路数据格式的匹配，最终将采集到的数据存储到存储电路中。

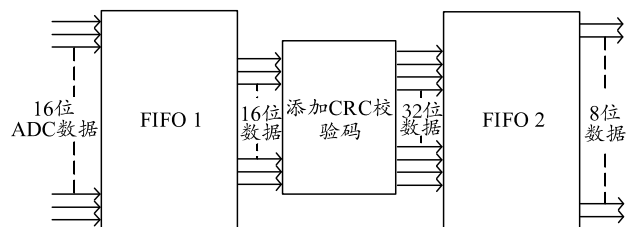


图 5 内部 FIFO 数据转换

ADC 转换后的数据位宽 16 位，由此设计 FIFO 1 读、写宽度皆为 16 位，写深度为 1 024 位；16 位数据经过防干扰校验处理后变为 32 位，最终存储设

备数据接收端位宽为 8 位，由此设计 FIFO 2 读宽度为 32 位、写宽度为 8 位。

为保证内部数据传输的完整性，FIFO 时钟速度需等于或高于 ADC 模块时钟速度，ADC 模块时钟速度为 100 MHz，FPGA 开发板载晶振为 50 MHz，此处利用 MMCM 时钟管理器对时钟进行倍频到 100 MHz 作为 FIFO 时钟。

3 仿真与分析

对多路 XADC 模块进行仿真，验证其 8 路采样功能的实现及采样率能否达到设计需求。笔者使用 Vivado 内置仿真器进行行为级别仿真，仿真源文件使用 XADC IP 核自带的频率为 1 MHz、幅值 0~1 V 的正弦波仿真源，仿真结果波形如图 6 所示。

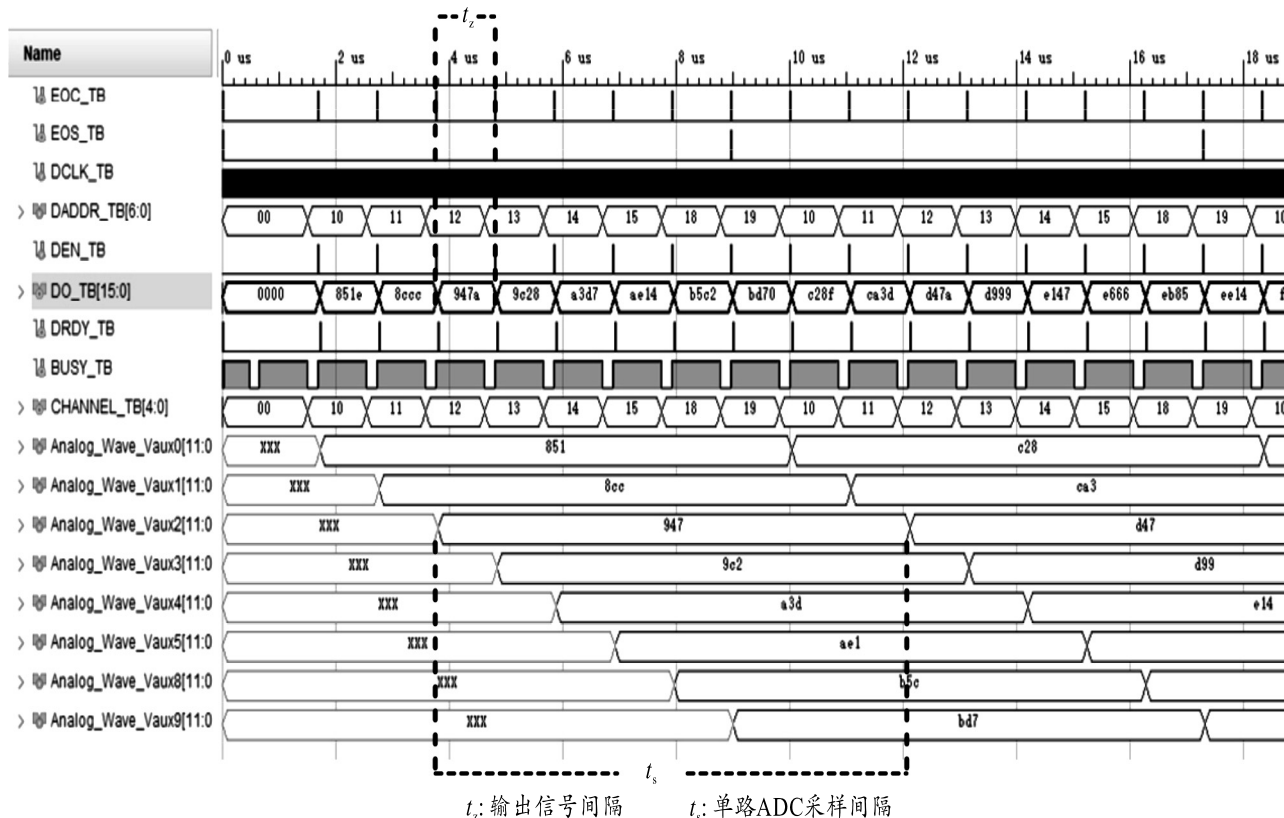


图 6 8 路 XADC 采集功能仿真

由仿真结果可得：笔者设计实现 8 路内置 ADC 循环采样，最终数据由 DO 端口以 16 位数字信号形式输出。单路 ADC 采样间隔 t_s 为 8.32 μs ，计算后得出单路采样率约为 120 kHz，单路 ADC 转换所得数字量为 12 位数字信号，与仿真源文件对应数值相符；XADC 数据输出端口 DO 输出信号时间间隔 t_2 为 1.04 μs ，采样率约为 960 kHz，信号位宽 16 位，为单通道 ADC 的 12 位数据左移 4 位，后 4 位数据无效，通道采样率约为实际信号最高频率的 24 倍，

符合流场测试仪过采样要求。

将设计好的逻辑电路在 Vivado 中进行分析、综合与实现，通过 RTL 分析功能验证功能模块逻辑是否与设计一致、是否存在逻辑偏差。截取单路 ADC 逻辑验证结果如图 7 所示，表明在此设计中，外部信号经 ADC 转换后缓存至 FIFO，经过 CRC-8 抗干扰处理后进入另一个 FIFO，最终将信号输出至存储电路，实现了信号转换、片内抗干扰处理与片内数据的缓存输出，符合设计初衷，逻辑设计得到验证。

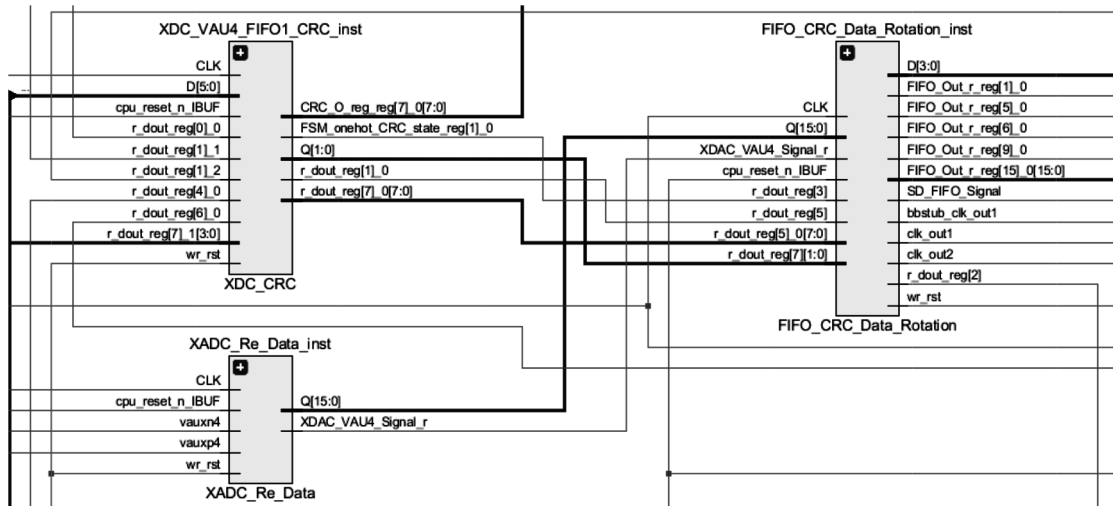


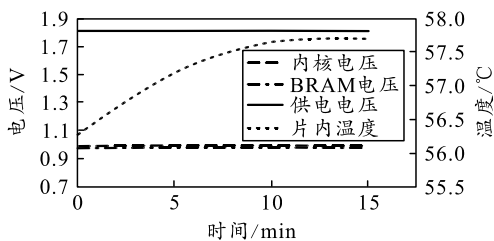
图 7 流场测试仪转换与控制模块逻辑分析原理

4 高温稳定性测试

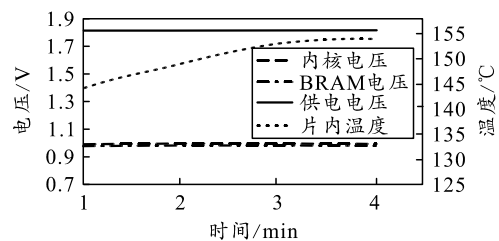
瞬态流场测试仪工作于 155 mm 火炮弹底，工作时经受高温、高压和强振动冲击，经过特殊设计的外壳与内部填充后，恶劣外部条件已基本不影响系统内部电路运行，但内部高性能功能模块运行过程中仍会产生较多热量，且由于内部填充隔热设计导致热量不易散发，更容易使热量积攒，导致内部电路温度过高。为验证笔者设计的信号转换与控制功能模块在高温下能否稳定工作，依照实际使用需

求在高温环境下对硬件电路进行稳定性测试。

弹底瞬态流场测试仪内部电路工作温度最高约为 80 °C^[12]，实际有效数据采集时间约为几毫秒。在恒温箱中分别设置常温(25 °C)与高温(130 °C)环境，借助 XADC 模块的片内温度、电压监控功能，对系统功能模块硬件电路进行 15 min 运行稳定性实验，分别监控 FPGA 片内温度、内核电压、BRAM 电压及辅助供电电压，对比常温与高温环境芯片温度与关键电压数值，判断功能模块运行稳定性。测试结果如图 8 所示。



(a) 常温(25 °C)下芯片内温度与关键电压



(b) 高温(135 °C)下芯片内温度与关键电压

图 8 常温、高温环境功能模块温度、电压测试

测试结果表明：在室温 25 °C 环境下工作 15min 后，FPGA 片内温度在 57 °C 左右摆动，内核电压、BRAM 电压及辅助供电电压分别为 0.99、0.99、1.80 V；在 130 °C 加热台上工作 15 min 后，FPGA 片内温度在 155 °C 左右摆动，内核电压、BRAM 电压及辅助供电电压分别为 0.99、0.99、1.80 V。前后不同温度条件下功能模块均正常工作，内部电压稳定，符合 Xilinx 设计要求，具备高温条件下可靠性工作。

7 系列 FPGA 的 XADC 硬核设计了流场测试仪的信号采集模块，在单芯片 FPGA 中实现多通道数据转换、防干扰与数据片内缓存设计。该设计缩小了硬件体积，提高了系统集成度与性能，经过 Vivado 开发工具下仿真与工程的综合实现，验证了设计可行性；对功能模块进行高温稳定性测试，验证了控制系统具有高温下持续稳定运行的能力。设计参数指标满足实际测试需求，具有创新性和实用性。

5 结束语

笔者针对 155 mm 火炮瞬态流场测试仪微体积、多通道、高性能、抗干扰的实际需求，基于 Xilinx

参考文献：

[1] 赵彦森, 周云华, 邱群先. 美欧 155 毫米舰炮的研制与启示[J]. 舰船科学技术, 2013, 35(5): 138-141.